

解説

格子型スイッチ網の構成原理に関する一考察

小原 仁・坂田 真人

Systematic design of matrix switching networks and their varieties

Hitoshi Obara and Masato Sakata

Abstract

Some fundamental properties of space-division multiplexed matrix switching networks and their varieties, which are widely used in communications networks and interconnection networks among others, are introduced in the context of their trade-off relations between switch hardware and routing control complexities. The discussion is limited to two-sided symmetrical switches of non-block in a one-to-one connection mode. The total switch-counts of the switches discussed in the article ranges from $O(N \log_2 N)$ to $O(N^2)$, where N denotes switch size. The article would help readers unacquainted with this field to understand how matrix switching networks and their varieties are characterized from a unified point of view.

1. はじめに

スイッチ網 (Switching network) は通信ノードにおいて接続機能を実現する必須な要素である。スイッチ網 (以下, スイッチと略称) はそれが適用される交換方式や多重方式, あるいは接続条件などによって様々な種類が存在する^{(1)~(7)}。それらの中で, 2入力・2出力の単位スイッチ (以下, 2×2 SW と略称) から構成される格子型 (マトリクスまたはクロスバーとも呼ばれる) スイッチは, 空間スイッチの代表例としてスイッチ技術の専門家以外にも広く知られている。

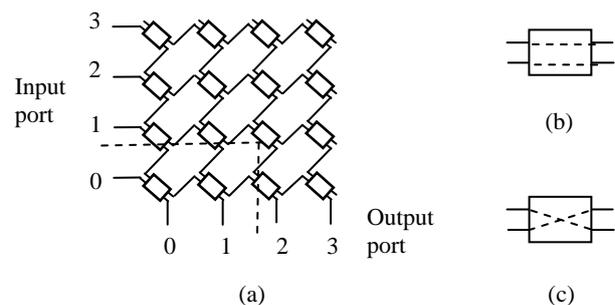
格子型スイッチと同じく 2×2 SW を組み合わせて得られる空間スイッチは多数存在する^{(8)~(14)}。従来の文献では, それらのスイッチを形状や接続性能などに基づいて, いくつかのカテゴリーにトップダウンで分類し, 個々のスイッチを独立に紹介するスタイルを採る。異なる分類に属するスイッチ間での類似点や相違点などの検証は読者に委ねられている。このような状況では, 初心者がスイッチ構成技術に関して統一的なイメージを得ることは大変困難ではないだろうか。

この問題を解消するため, 本報告では筆者らの最近の研究成果を交えてスイッチ構成技術をわかりやすく解説する。ここでは, 入出力のポート数が等しくノンブロック (空き入出力ポートを1対1で接続可能) な各種のスイッチが, 格子型スイッチを起点として統一的な視点から導出できることを示す。本報告は次の

ように構成される。2章では最も基本となる格子型スイッチを紹介する。また, それから派生する三角スイッチを示す。3章では格子型スイッチと三角スイッチの中間の性質を有する3/4型格子スイッチを新たに提案する。4章では格子型スイッチの入出力ポートを対称に配置したスイッチ群を紹介し, その性質について述べる。ここでは, 筆者らが提案したスイッチの他, 様々なバリエーションを相互に関連させて紹介する。5章ではスイッチ規模の理論的な下限を議論する。また, 格子型スイッチを起点とし, その下限に近いスイッチの導出を可能とする筆者らのアイデアを紹介する。6章は本報告の結論であり, 筆者らの知見をまとめる。

2. 格子型スイッチとスイッチ制御

格子型スイッチは, その名称の通り 2×2 SW を縦および横方向に格子状に組み合わせて得られる。電話交換機として広く用いられたクロスバースwitchの等価モデルである。スイッチサイズ N が4の格子型スイッチの構成を Fig. 1 (a) に示す⁽²²⁾。Fig. 2 との関連で 2×2

Fig. 1 Square matrix switch ($N=4$).

2007年7月23日受理

秋田大学工学資源学部, 電気電子工学科

Department of Electrical and Electronic Engineering,

Faculty of Engineering and Resource Science, Akita University

SW を斜めに配置しており，教科書などに示された従来の構成と異なる印象を与えるが，同一である．そのスイッチ規模 (2×2 SW の総数) は次式で与えられる．

$$C_{square} = N^2 \quad (1)$$

Fig. 1(b) と(c) は 2×2 SW の 2 つの接続状態を示す．(b) をバー (Bar)，(c) をクロス (Cross) と呼び，それぞれの状態を \equiv および \times と略記する．1 個の 2×2 SW の状態は 1 ビットの制御信号により決定される．

入出力ポート番号を Fig. 1 のように割り当てた場合，入力ポート p と出力ポート q を接続する最短経路の総数は次式で与えられ，一般に複数の経路が存在する．

$$R_{square} = (p+q)! / p!q! \quad (2)$$

実際には Fig. 1(a) の点線で示すように p 行目と q 列目の交点の 2×2 SW を \equiv 状態とし，それ以外の 2×2 SW を \times 状態とする特定の経路を選択する．よって，格子型スイッチは一定のスイッチ設定アルゴリズムを必要とする広義ノンブロック (Wide-sense nonblocking) なスイッチである⁽¹⁵⁾．他のノンブロックなスイッチの種類として，完全ノンブロック (Strictly nonblocking) と再配置ノンブロック (Rearrangeably nonblocking) が知られている⁽¹⁵⁾．前者はスイッチ内部の経路選択は任意でよい．後者は既設の回線の経路変更を必要とする場合がある．なお，正方格子型スイッチを構成する単位スイッチとして，本報告で用いた 2×2 SW に代わり， 1×1 のトランスファー型スイッチを用いる場合もある⁽²⁷⁾．その場合は完全ノンブロックになるが，その詳細は省略する．

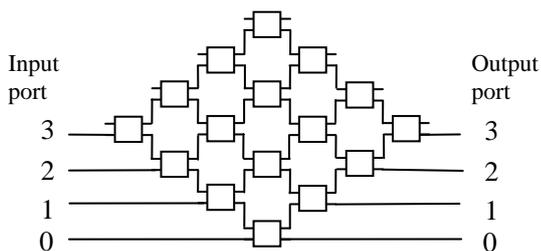


Fig. 2 Equivalent configuration of matrix switch ($N=4$).

Fig. 1(a) は 2×2 SW の規則的な配列を優先した表記である．これを入出力ポートの位置を揃えた形にして書き直す (Fig. 1(a) を 45° 左回転する) と Fig. 2 が得られる．一見，Fig. 1 と異なる印象を受けるが，同一の構成である．Fig. 2 を見ると，普段は見慣れていて何の疑問も感じない Fig. 1 の格子型スイッチの対称性や Fractal 性などの特徴が一目でわかる．これは視点を変えることの有効性を示している．

Fig. 2 より，いくつかの着想が得られる．例えば「も

し，スイッチの増設を考えなければ Fig. 2 の上半分は冗長ではないか？」とすぐに気がつく．上半分の 2×2 SW を見ると，2 つの入力の一方が増設に備えて開放状態であり，入出力ポートを横に結ぶ経路からずれているためである．実際，その直感は正しく，Fig. 3 の三角スイッチが得られる⁽¹⁶⁾．そのスイッチ規模は次式で与えられ，正方格子スイッチの約半分に減少する．

$$C_{triangle} = N(N+1)/2 \quad (3)$$

入出力ポート間の接続関係は Fig. 3 に示す Π 行列 (Permutation) で与えられる．上が入力ポート番号，下がそれに接続される出力ポート番号を示す．従来，三角スイッチは Fig. 3 の右端から順番に段数を増やすことによって任意のサイズのスイッチを実現する構成法が知られている⁽²⁾．しかし，格子スイッチとの関連で議論されることはなかった．このようにスイッチを相互に関連づけるアプローチが本報告の特徴である．

三角スイッチは再配置ノンブロックとなり，その制御は複雑になる．最悪ケースの再配置数は $N-2$ となる．これは従来，一部の多段スイッチに関して指摘されていた「スイッチ規模と制御の複雑さのトレードオフ関係」⁽¹⁷⁾ と同じである．なお，Fig. 3 の右上の対角線に沿った 2×2 SW の空きリンクを互いに接続することで収容回線を 1 だけ増やすことができる．この性質は後述の $3/4$ 型スイッチやプレーナスイッチでも成立するが，議論の本質から外れるので詳細は省略する．

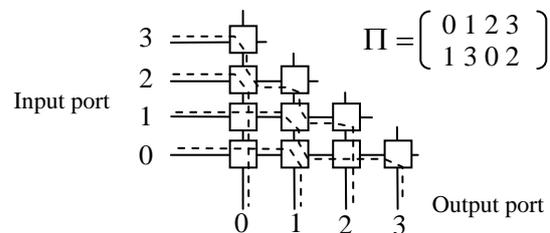


Fig. 3 Triangular matrix switch ($N=4$).

3. $3/4$ 型格子スイッチ

次の問題を考える．「正方格子スイッチと三角スイッチの中間に位置するスイッチが考えられないだろうか？」という素朴な疑問である．しかし，筆者らの知る限り，そのような疑問が公表されたことはなく，その答えも与えられていない．従来のスイッチ研究が $N^2/2$ 以下を主眼としており，この領域は注目されなかったことが原因と思われる．この間の答えとして，筆者らは「 $3/4$ 型格子スイッチ (Three-quarter matrix switch)」を提案している⁽¹⁹⁾．その一例を Fig. 4 に示す．Fig. 1 の正方格子を 4 分割し，その右上の一角を除去した構成である．そのスイッチ規模は次式で与えられる．

$$C_{three_quarter} = 3N^2/4 \quad (4)$$

正方格子の規模を1とすると、三角スイッチは1/2であり、その中間が3/4となることが命名の由来である。なお、正方格子スイッチの一部を削除する方法と反対に、Fig. 1のスイッチを拡張する観点から考えることもできる。Fig. 1のスイッチ全体を1つのブロックと見なす。その上側と右側にそれぞれ同じブロックを接続すると3/4型スイッチが導出できる。

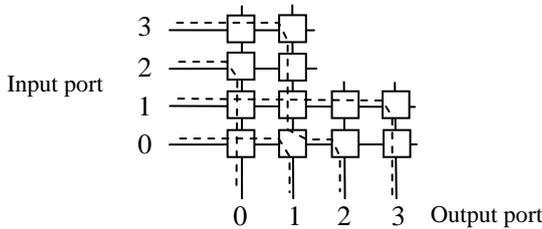


Fig. 4 Three-quarter matrix switch ($N=4$).

このスイッチの制御は複雑になるが、正方格子スイッチと置き換えが可能である。Fig. 4で4分割した区画の中で、左上の部分と右下の部分に該当するそれぞれ小規模な正方格子スイッチを3/4型スイッチと置き換える。その結果、Fig. 3に示した三角スイッチが得られる。すなわち、三角スイッチは正方格子スイッチに対して3/4型スイッチへの置き換えを再帰的に適用して導出できることがわかる。

3/4型スイッチは再配置ノンブロックであり（証明は省略）、スイッチ内部のルーチング制御が複雑になる。その傾向はFig. 1～Fig. 4における入出力ポート間の接続ルート（図中の点線）を比較すれば容易にわかる。すなわち、Fig. 1の正方格子ではルートの切り替えは1回のみである。三角スイッチのルートの切り替えは最大 $(2N - 1)$ 回となる。3/4型スイッチのルートの切り替え回数は、正方格子の3/4型スイッチへの置き換えを i 回繰り返した場合、次式で与えられる。

$$T_{\text{three-quarter}} = 2i + 1 \quad (0 \leq i \leq N - 1) \quad (5)$$

同じスイッチサイズの条件で、スイッチ規模を小さくするほどスイッチ制御が複雑になることがわかる。逆に言えば、複雑なルーチング制御という代償によって、スイッチ規模の低減という効果が得られる。これがスイッチに関する本報告の中心となる視点である。

この解釈によって、初期（1940年代）の電話網でクロスバースwitchが広く用いられた理由が明確に説明できる。すなわち、トランジスタの発明に先立つ当時は、複雑なスイッチ制御をリアルタイムで実行することは不可能であった。スイッチ規模が最大にも拘わらず、制御の容易さが最優先された。しかし、現在の状況は一変した。もはやスイッチ制御の複雑さは解決不可能なボトルネックではない。筆者らはこの観点からスイッチ制御の高速化技術に注目している⁽²⁰⁾⁽²¹⁾。

4. 入出力ポートを対称配置したスイッチ

Fig. 1の正方格子構造をそのままに、「出力ポートを入力ポートと対称の位置に配置してはどうか？」という発想は自然である。ただし、単に出力ポート位置の変更だけでなく、Fig. 2の左上および右下の境界に沿った増設用の 2×2 SWの空き入力を活用する。

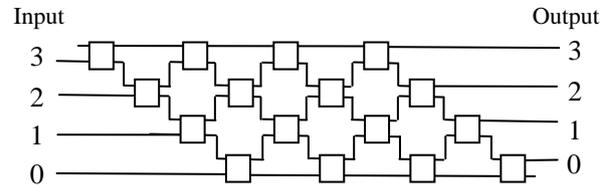


Fig. 5 Planar matrix switch ($N=4$).

この結果、Fig. 5に示すプレーナ型スイッチが導出できる。プレーナ型スイッチはその名称が示す通り、平面的な（配線の交差がない）構造を有している。また、入出力ポート間で信号が同数の 2×2 SWを経由するため、ポート相互間の損失（信号の減衰）のばらつきが少ないなどの特徴がある。これらの特徴から、特に導波路型の光スイッチに適する⁽³⁾。

Fig. 5の原始的なプレーナ型スイッチはスイッチ規模が N^2 となる。Fig. 1の正方格子と同じスイッチ規模であるが、再配置ノンブロックとなる。これは前述のトレードオフ関係に反する。よって、Fig. 5のスイッチ規模は冗長であり、削減可能と考えられる。この予想の通り、スイッチ規模が次式で与えられる再配置ノンブロックなプレーナスイッチが提案されている⁽²²⁾。

$$C_{\text{planar}} = N(N - 1)/2 \quad (6)$$

入力ポートと出力ポートを対称配置する考え方をFig. 2からFig. 3を導出するケースに適用すると、Fig. 6に示すSerialスイッチが得られる⁽²³⁾。このスイッチは三角スイッチと同じ構造を有する。ただし、文献⁽²³⁾に示されたオリジナルの図と合わせるため、2章の最後で述べたように空きリンクにも入出力ポートを収容した構成で示した。このスイッチの特徴は、制御アルゴリズムとして挿入型のSorting（あて先ポート番号の大小順で並び替えを行う）を適用した点にある。Fig. 6の 2×2 SWは、自分に入力された信号を宛先番号に従って矢印の向きに並び替える。Fig. 6の点線で区切ったブロックがサイズ S の異なるSorterを示している（左

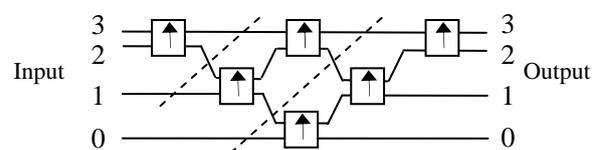


Fig. 6 Alternative class of triangular switches.

から $S=2, 3, 4$). この考え方は, 次に述べる自己ルーチング型スイッチに継承されている.

筆者らはプレーナ型スイッチの段数を増やすことにより, 自己ルーチング制御が可能になることを初めて明らかにした⁽²⁴⁾. 自己ルーチング (Self-routing) とは, スイッチ全体の接続状況を考慮することなく, 各 2×2 SW に入力される信号の宛先情報のみを参照して 2×2 SW の接続状態を決定できることである. 分散制御型のスイッチと言い換えてもよい. 自己ルーチングは, スイッチの制御方式の側面からの分類に該当し, パケットスイッチや非同期多重 (Asynchronous transfer mode, ATM) スイッチなどへの応用が考えられている. そのスイッチ規模の理論的な下限は $O(N(\log_2 N)^2)$ となることが知られている⁽⁸⁾.

参考のため, その一例を Fig. 7 に示す. このスイッチの前半は Bitonic sorter であり, 上述のように宛先番号の大小順に並べ替えを行う⁽¹⁾. 未接続の入力のあて先番号 (「*」で表示) は最小値と見なされる. 後半はオメガ網であり, 2進表示された宛先ポート番号の各ビットに従う自己ルーチングが可能である⁽⁷⁾.

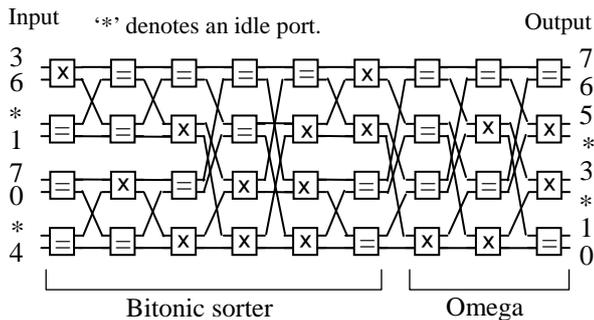


Fig. 7 An operation of a self-routing switch ($N=8$).

筆者らは, スイッチ規模が $O(N(\log_2 N)^3)$ と増大するものの, 2×2 SW でのルーチング処理が簡単で高速動作が可能なる自己ルーチングスイッチを提案した⁽²⁵⁾. これはスイッチのトレードオフ関係を指針として研究を進めた結果, 得られた成果である. このように, そのトレードオフ関係は, 既知のスイッチの体系化に留まらず, そのスペクトル上で新たなスイッチの創造のヒントを与える.

他の例を示そう. このトレードオフ関係を考慮すると Fig. 5 のスイッチは広義ノンブロックまたは完全ノンブロックにできる筈である. これは上述のプレーナスイッチの導出と反対の方向である. Fig. 5 を見ると, 初段と最終段の 2×2 SW の入力の一部が開放状態のまま放置されている. その着眼点から, 筆者らは「トーラス型スイッチ」を提案している⁽¹⁹⁾. その名称の通り, 円筒型の構成となる. その一例を Fig. 8 に示す. Fig. 1 の正方格子の出力ポート位置を変更し, 上下左右の端の 2×2 SW を接続したものである. このスイッチは

ATM スイッチとして提案されたトーラススイッチ⁽²⁶⁾に類似した構成であるが, 筆者らが空間スイッチとして独立に提案したものである.

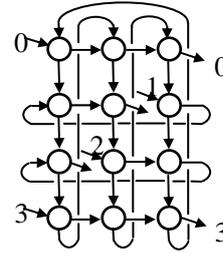


Fig. 8 Torus switch ($N=4$).

Fig. 8 のトーラススイッチは正方格子と同様に広義ノンブロックである. その根拠となるスイッチ制御アルゴリズムの詳細については割愛する. スイッチ規模は次式で与えられ, 正方格子より少ない.

$$C_{cylinder} = N(N-1) \quad (7)$$

なお, 広義ノンブロックな正方格子の中でスイッチ規模が最小のものは次式で与えられる⁽²⁷⁾. シリンダー型スイッチの規模はそれより小さいことがわかる.

$$C_{square_ws_nb_min} = N^2 - 3 \quad (8)$$

これまで紹介したスイッチは Fig. 7 を除いて 2次元配置されるものであった. 一方, シリンダー型スイッチは 2次元で配置した場合, 配線の交差を生ずる 3次元タイプのスイッチである. スイッチ全体から見れば, 3次元タイプのスイッチは 2次元より種類が多く, パニヤン網, ベネス網, ハイパーキューブ網などがよく知られている. それらのスイッチ規模は, 完全ノンブロックなスイッチ (クロス網やカンター網など) でさえ, 2次元の再配置ノンブロックなスイッチより小さくなる. 2次元で解決できない問題を 3次元に拡張して解決するというアプローチは一般的であるが, スイッチ技術でもそれが有効であることがわかる.

5. スイッチ規模の限界と制御の複雑さ

では, ノンブロックなスイッチの規模の下限はどのように与えられるだろうか. これまで示したように, 多くのスイッチは Fig. 1 の格子スイッチから導出できる. スイッチ規模の下限に関する議論も格子スイッチを起点として始めよう. 簡単のため, 以下の議論では $N=2^n$ (n は 2 以上の正整数) とする.

2章において, 格子スイッチを構成する 1つの 2×2 SW は 1ビットの制御信号が必要であると述べた. 2×2 SW を直接 1個ずつ制御すると全体では N^2 ビットが必要である. しかし, 実際には 2章で述べたように初期状態をクロスとし, 入出力ポートの交点に相当す

る 2×2 SW だけをバー状態に反転すればよい. 1つの回線について, 縦または横方向の N 個の 2×2 SW の中から 1 個だけを指定すればよいから, 制御信号は $\log_2 N$ ビットでよい. スイッチ全体としては最大 N 回線を収容するため, $N \log_2 N$ ビットが必要となる. 元のスイッチ規模は N^2 となるが, すでに本報告で示したように, それは冗長であることがわかっている. よって, 1 個の 2×2 SW が 1 ビットの制御信号を必要とする性質から, スイッチ規模の下限は制御ビットの最小値に対応する $N \log_2 N$ と推測できる. このラフな解釈は筆者らのアイデアであるが, ほぼ正しい結果を与える. 以下で, この点を簡単に補足する.

入出力ポートを 1 対 1 に接続するパターン of 総数は次式で与えられる.

$$P_1 = N! \quad (9)$$

一方, 2×2 SW の総数を C とすると, そのスイッチで実現可能な接続パターンの最大値は次式となる.

$$P_2 = 2^C \quad (10)$$

よって, スイッチ規模の理論的な下限 (必要条件) となる C_{\min} は次式で与えられる.

$$\begin{aligned} 2^C &\geq N! \\ \therefore C_{\min} &= \log_2 N! \end{aligned} \quad (11)$$

Stirling の公式より, C_{\min} は次式で近似できる⁽²⁸⁾.

$$C_{\min} \cong N \log_2 N - 1.44N + 0.5 \log_2 N \quad (12)$$

この理論的な下限に近い特性を有するスイッチは現実に存在する. 例えば, ベネス網のスイッチ規模は次式で与えられる⁽¹⁵⁾.

$$C_{\text{Benes}} = N \log_2 N - N + 1 \quad (13)$$

上記の数学的な議論は, スイッチに対する理論的なサポートを与える反面, 具体的なスイッチのイメージや構成手順などとは無縁である. それに代わって, 本報告のテーマであるルーティングの自由度から考えてみよう. Fig. 9 に示すように, 格子スイッチの中間地点に注目する. そのリンク数を N (入出力と同じ) とする. これはスイッチ規模の最小化からの要請である. ある入力ポートからすべての中間リンクを経由させるには左半分で $\log_2 N$ 段の 2×2 SW が必要である (Binary Tree 構造). これはルーティングの自由度の最大化からの要請である. 次に, 中間リンクからすべての出力ポートに到達するためには $\log_2 N$ 段の 2×2 SW が必要である.

これはノンブロック条件からの要請である. よって, スイッチ全体として $2 \log_2 N$ 段の構成となる. 1 つの 2×2 SW には最大 2 本の入力 (出力) ポートを収容できるから, 全体のスイッチ規模は $N \log_2 N$ となる. この議論はベネス網が $\log_2 N$ 段のバニヤン網やオメガ網など⁽¹¹⁾ の縦続構成となることを示唆している. 筆者らによる, この直感的な解釈はベネス網の動作と直接的には対応しないが, ほぼ正しい構成を与える.

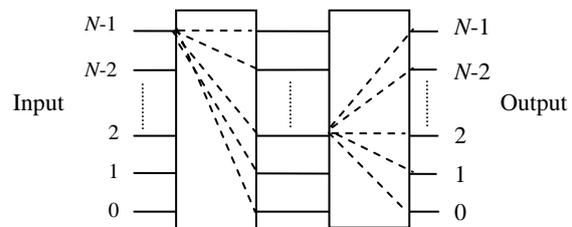


Fig. 9 Illustration of routing in Beneš switch.

簡単な例を示そう. 式 (11) と (13) より, $N=4$ の場合, $C_{\min}=5$ となる. $N=4$ のベネス網を Fig. 10 に示す. これより, ベネス網は中央段がオーバーラップしたバニヤン網の縦続構成となる. また, ベネス網は再帰的な手続きによって生成される⁽¹⁵⁾. Fig. 10 の右上の 2×2 SW が不要となるのは, この再帰構造と初期値設定の自由度に起因する⁽²⁹⁾.

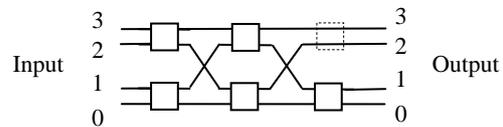


Fig. 10 Beneš switch ($N=4$).

ベネス網はスイッチ規模が最小となる一方で, 再配置ノンブロックとなり制御が複雑になる. 格子スイッチにおいて, すべての入出力ポート間の接続要求を満たすための処理量は $O(N)$ となる. ベネス網のそれは $O(N \log_2 N)$ となる⁽¹⁵⁾. ここにもスイッチ規模と制御の複雑さのトレードオフ関係が厳然と成立している.

このトレードオフ関係によれば, 完全ノンブロックなスイッチ規模の下限はベネス網より大きくなることが予想される⁽³⁰⁾. 実際, 生成手順が明確に与えられている完全ノンブロックなスイッチの中で, スイッチ規模が最小となるカンター網は $O(N(\log_2 N)^2)$ となる⁽³¹⁾. その完全ノンブロック条件は次の考え方から導出される. Fig. 9 に示した中間リンクにおいて, 1 つの入力ポート (または出力ポート) より, 他のポートと独立に到達可能なリンク (または 2×2 SW) の仮想的な延べ総数が, 物理的なリンク (または 2×2 SW) の総数を超えていれば, どのようなルーティング制御を実行しても接続ルートの存在が保証される. よって, そのようなスイッチは完全ノンブロックとなる. この考え方はクロス網⁽¹⁶⁾ でも同様である.

なお、スイッチ制御に並列処理を適用すると処理量が低減できる⁽³²⁾。格子型スイッチの場合、その処理量は $O(1)$ となる。ベネス網ではトリー状に接続された並列制御システムを適用した場合、その処理量は $O(N)$ に削減できる⁽³³⁾。さらに、メッシュ状に接続された並列制御システムを適用することで、その処理量を $O((\log_2 N)^2)$ に削減できる⁽³⁴⁾。この場合は、処理量と制御回路の規模との間にトレードオフが成立する。

6. まとめ

空間スイッチの最も基本でありスイッチ全体の代表でもある正方格子スイッチを起点として各種のスイッチが導出できることと、それらの性質を「スイッチ規模とルーチング制御の複雑さ」のスペクトルの側面から統一的な視点に立って述べた。

2章で述べたように、制御の複雑さはスイッチ内のルーチングの自由度の大きさに対応する。その性質の考察により、2章と3章では格子スイッチから3/4型スイッチとトラススイッチを導出した。4章では、それを指針として新たなスイッチを創造できることを筆者らの研究成果を例にあげて紹介した。5章では格子スイッチを起点として、スイッチ規模が最小となるベネス網が導出できることを、筆者らの独自の視点から述べた。

スイッチの性質には多様な側面があり、従来はスイッチ段数や接続性能などに基づいて便宜的に分類され、それぞれの種類が独立に扱われていた。このため、スイッチ全体として統一的なイメージを得ることは困難であった。本報告は従来のステレオタイプな分類に依らず、「スイッチ規模とルーチング制御の複雑さのトレードオフ関係」のコンセプトに基づき、各種のスイッチを相互に関連させる体系化を試みた。

これはスイッチ技術分野では先例のないスタイルであり、筆者らの独善的な解釈がないとは言えない。読者には本報告の内容を懐疑と批判の立場から取捨選択されることを願う。なお、本報告の中に理解し難い点があれば、それは単に筆者らの非才に帰すべきで、スイッチ技術が難解であることを意味しない。本報告で紹介した、どのスイッチもシンプルで洗練された構造を有している。

格子スイッチのバリエーションは、本報告で紹介した例を除いて多数存在する。上記のコンセプトはそれらにも適用できると考えている。また、筆者らは空間スイッチ以外にも、時分割多重スイッチ^{(35)~(41)}、ATMスイッチ^{(42)~(64)}、光波長多重スイッチ^{(65)~(76)}などの新しいスイッチの構成原理に関する研究を進めている。これらのスイッチは方式ごとに独立に扱われ、1つの方式の中でさらに細分化されており、本報告で述べた格子スイッチと同じ状況にある。筆者らは、方式が異なるそれらのスイッチの構成原理に関して、統一的なスキームに基づく体系化を試みた⁽⁷⁷⁾。本報告で何

度も強調したように、新たな視点は新たな発見のヒントを与えるからである。しかし、それらについてはここで紹介することができなかった。スイッチ構成技術の研究は筆者のライフワークであり、将来、本誌において別の機会に報告したいと考えている。

謝辞

本報告は、東北大学大学院情報科学研究科の根元義章教授の勧めを契機としてまとめたものである。ここに記して感謝の意を表明するとともに、質および量の両面でご期待に及ばぬ内容となったこと、また長い時間が経過したことを深くお詫び申し上げる。

参考文献

- (1) H. Mouftah and A. Jajszczyk (1994): *Switching techniques for broadband communication networks*, Springer-Verlag, New York.
- (2) J. G. Pearce (1981): *Telecommunications switching*, Plenum Pub Corp., New York.
- (3) T. S. El-Bawab (2006): *Optical switching*, Springer-Verlag, New York.
- (4) J. Duato, S. Yalamanchill, and L. Ni (1997): *Interconnection Networks*, IEEE Computer Society.
- (5) J.-C. Bermond, ed. (1992): *Interconnection networks*, North-Holland Publishing Co., Amsterdam.
- (6) 富田 (1986) : 並列計算機構成論, 昭晃堂.
- (7) H. J. Siegel (1990): *Interconnection networks for large-scale parallel processing; theory and case studies*, McGraw-Hill, New York.
- (8) M. J. Marcus (1977): The theory of connecting networks and their complexity; A review, *Proc. of IEEE*, Vol. 65, No. 9, pp. 1263-1271.
- (9) G. Broomell and J. R. Heath (1983): Classification categories and historical development of circuit switching topologies, *Computing surveys*, Vol. 15, No. 2. pp. 95-132.
- (10) R. J. McMillen (1984): A survey of interconnection networks, in *Proc. of IEEE GLOBECOM*, 5.1.1-9.
- (11) H. Ahmadi and W. Denzel (1989): A survey of modern high-performance switching techniques, *IEEE J. Selected Areas Communi.*, Vol. 7, No. 7, pp. 1091-1103.
- (12) H. Hinton (1993): *An Introduction to Photonic Switching Fabrics*, Plenum Press, New York.
- (13) J. H. Hui (1990): *Switching and traffic theory for integrated broadband networks*, Kluwer Academic Publishers, Boston.
- (14) F. K. Hwang (1992): *The mathematical theory of nonblocking switching networks*, World Scientific Publishing Co., River Edge, NJ.
- (15) V. E. Beneš (1965): *Mathematical theory of connecting networks and telephone traffic*, Academic Press, New York.

- (16) C. Clos (1953): A study of non-blocking switching networks, *Bell System Tech. J.*, Vol. 32, No. 2, pp. 406-424.
- (17) N. Pippenger (1982): Rearrangeable networks with limited depth, *SIAM J. Alg. Disc. Meth.*, Vol.3, No.4, pp.411-417.
- (18) W. Kautz (1968): Bounds on Directed (d, k) Graphs; Theory of Cellular Logic Networks and Machines, *AFCRL-68-0668 Final Report*, pp. 20-28.
- (19) H. Obara and M. Sakata (2007): Notes on elementary properties of matrix switching networks and their varieties, *under review for publication*.
- (20) 小原(2006): スイッチ制御回路, 特願 2006-087547.
- (21) 小原, 坂田(2006): 多段スイッチの制御回路, 特願 2006-347521 (外国特許出願手続き中) .
- (22) R. A. Spanke (1987): Architectures for guided-wave optical space switching systems, *IEEE Com. Mag.*, Vol.25, No.5, pp.42-48.
- (23) A. E. Joel (1968): On permutation switching networks, *Bell System Tech. J.*, Vol. 47, No. 5, pp. 813-822.
- (24) H. Obara, S. Okamoto, H. Uematsu, and H. Matsunaga (1990): Self-routing planar network for guided-wave optical switching system, *Electronics Letters*, Vol. 26, No. 8, pp. 520-521.
- (25) H. Obara, H. Uematsu, S. Okamoto, and H. Matsunaga (1990): Self-routing space switch network comprising fast and uniform switch elements, *Electronics Letters*, Vol. 26, No. 6, pp. 352-353.
- (26) K. Genda and N. Yanamaka (1997): TORUS: Terabit-per-second ATM switching system architecture based on distributed internal speed-up ATM switch, *IEEE J. Selected Areas in Communi.*, Vol.15, No.5, pp.817-829.
- (27) W. Kabacinski (2005): *Nonblocking electrical and photonic switching fabrics*, Springer, New York.
- (28) 尾佐竹、小川、北見、林田 (1972) : One-sided 交換回路の最適構成, 電子通信学会 交換研究会資料, SE72-19.
- (29) 小原 (1989) : 再配置ノンブロックな3段スイッチを用いたクロスコネクシステムにおける再配置パス探索アルゴリズム, 電子情報通信学会論文誌 B-I, J72-BI, No. 6, pp. 522-530.
- (30) N. Pippenger (1988): Wide-sense nonblocking networks, *SIAM J. Alg. Disc. Meth.*, Vol.1, No.2, pp.158-173.
- (31) D. G. Cantor (1972): On non-blocking switching networks, *IEEE Networks*, Vol.1, pp.367-377.
- (32) F. K. Hwang (1983): Control algorithms for rearrangeable Clos networks, *IEEE Trans. Communi.*, Vol.31, No. 8, pp. 952-954.
- (33) 小原、上松、岡本、松永 (1990) : Beneš 網の制御アルゴリズムの処理量について, 電子情報通信学会論文誌 B-I, Vol. J73-BI, No. 6, pp. 595-597.
- (34) D. Nassimi and S. Sahni (1982): Parallel algorithms to set up the Benes permutation network, *IEEE Trans. Comput.*, Vol. C-31, No. 2, pp. 148-154.
- (35) 小原, 中沢 (1989) : マルチスロット接続におけるタイムスロット順序を保存可能なパイプライン形時間スイッチ構成法, 電子情報通信学会論文誌 B-I, J72-BI, No. 10, pp. 805-815.
- (36) H. Obara and Y. Nakazawa (1990): Optimum design of a pipelined time slot interchanger with time slot sequence integrity, *Electronics and Communications in Japan*, Vol. 73, No. 9, pp. 35-47.
- (37) 小原, 上松, 岡本, 松永 (1990) : 大容量クロスコネクシステムにおける分散制御形空間スイッチ回路網, 電子情報通信学会論文誌 B-I, J73-BI, No. 5, pp. 463-469.
- (38) H. Obara, H. Uematsu, S. Okamoto, and H. Matsunaga (1991): A distributively controlled homogeneous self-routing space switch network for large-capacity cross-connect systems, *Electronics and Communications in Japan*, Vol. 74, No. 5, pp. 12-20.
- (39) H. Obara and Y. Hamazumi (1993): Applying two-stage photonic crossconnects to time-division multiplexed switch networks, *Electronics Letters*, Vol.29, No.14, pp.31251-1252.
- (40) H. Obara (2001): Efficient parallel time-slot interchanger for high-performance SDH/SONET digital crossconnect systems, *Electronics Letters*, Vol.37, No. 1, pp. 81-83.
- (41) 岡本, 小原, 上松, 松永 (1989) : 大容量デジタルクロスコネクシステムにおける超高速自己ルーチングスイッチ (CALSER), 電子通信学会通信方式研究会, CS89-46, pp. 49-54.
- (42) 小原 (1989) : セル順序を保存可能な多段バッファ形自己ルーチングスイッチの構成法, 電子情報通信学会論文誌 B-I, J72-BI, No. 9, pp. 698-709.
- (43) H. Obara (1990): Design of a multistage self-routing switch with a distributed cell sequence control, *Electronics and Communications in Japan*, Vol. 73, No. 10, pp. 14-27.
- (44) K.Y. Eng, M.A. Pashan, R.A. Spanke, M.J. Karol, G.D. Martin, H. Obara, and H. Ueda (1992): A prototype growable 2.5 Gb/s ATM switch for broadband applications, *Journal of High-speed Networks*, Vol.1, No.3, pp. 237-253.
- (45) 上松, 松永, 小原 (1989) : 入力キューイング形バーストクロスコネクシステムにおけるパイプライン競合制御法, 電子情報通信学会論文誌 B-I, J72-BI, No. 11, pp. 1076-1085.
- (46) 岡本, 小原 (1989) : バイパスリンク付きバンヤン網を用いたバーストクロスコネクシステム, 電子情報通信学会論文誌 B-I, J72-BI, No. 11, pp. 1055-1061.
- (47) S. Okamoto and H. Obara (1990): ATM cross-connect switch using folded Banyan switching

network with bypass links, *Electronics and Communications in Japan*, Vol. 73, No. 11, pp. 50-57.

(48) 小原 (1990) : 送出スケジューリングを用いた入力バッファ形バーストクロスコネクト網の構成法, 電子情報通信学会論文誌 B-I, J73-B, No. 2, pp. 101-109.

(49) H. Obara (1991): Distributed ATM cross-connect switch architecture using transmission scheduling control, *Electronics and Communications in Japan*, Vol.74, No.1, pp.55-64.

(50) H. Obara and T. Yasushi (1989): An efficient contention resolution algorithm for input queuing ATM cross-connect switches, *International Journal of Analogue Cabled System*, Vol. 2, pp. 261-267.

(51) H. Obara and S. Okamoto (1990): Self-routing fast packet switch with in-service modular growth, *IEE Electronics Letters*, Vol.26, No.16, pp.1286-1287.

(52) 岡本, 小原 (1998) : 自己ルーチングスイッチ網, 特許 2756604.

(53) 岡本, 小原 (1999) : 自己ルーチングスイッチ網, 特許 2671033.

(54) H. Obara (1991): Optimum architecture for input queueing ATM switches, *Electronics Letters*, Vol.27, No.7, pp.555-556.

(55) H. Obara, S. Okamoto, and Y. Hamazumi (1992): Input and output queueing ATM switch architecture with spatial and temporal slot reservation control, *Electronics Letters*, Vol. 28, No.1, pp. 22-23.

(56) H. Obara and Y. Hamazumi (1992): Parallel contention resolution control for input queueing ATM switches, *Electronics Letters*, Vol.28, No.9, pp. 838-839.

(57) H. Obara and T. Yasushi (1988): High-speed transport processor for broadband burst transport system, in *Proc. of International Conference on Communications*, pp.922-927.

(58) H. Uematsu, H. Matsunaga, and H. Obara (1989): A cell-based cross-connect switch for ATM broadband networks, in *Proc. of Singapore International Conference on Networks*, pp. 371-376.

(59) H. Obara, M. Sasagawa, and I. Tokizawa (1990): An ATM cross-connect system for broadband transport networks based on virtual path concept, in *Proc. of International Conference on Communications*, pp. 839-843.

(60) N. Tokura, H. Obara, and K. Sato (1991): High-speed ATM transport system experiment based on virtual path techniques, in *Proc. of International Symposium on Services and Local Access*, pp. 155-161

(61) M. J. Karol, K. Y. Eng, and H. Obara (1992): Improving the performance of input-queued ATM packet switches, in *Proc. of INFOCOM*, pp. 110-115.

(62) 小原, 上松 (1988) : 高速バースト多重伝送システムにおけるクロスコネクト MUX 構成法, 電子通信学

会通信方式研究会, CS88-10, pp.19-24.

(63) 戸倉, 小原, 菊地 (1990) : バーチャルパス概念に基づく ATM 伝達網のシステム実験, 電子通信学会通信方式研究会, CS90-48, pp. 19-24.

(64) H. Obara (1991): An ATM cross-connect system for broadband ISDN, in *Proc. of Telecom Forum*, pp. 265-269.

(65) 浜住, 小原 (2000) : 波長分割多重光クロスコネクト装置, 特許 3110871.

(66) 岡本, 小原 (1999) : 光空間スイッチ, 特許 2974224.

(67) 岡本, 小原, 手島 (1999) : 半導体レーザの温度安定化方法, 特許 3001168.

(68) N. Takachio, K. Iwatsuki, and H. Obara: Node apparatus optical wavelength division multiplexing network, and system switching method, Euro. Pat. No.01400447.

(69) Y. Katagiri, Y. Tachikawa, S. Nagaoka, F. Ohira, K. Aida, K. Suzuki, H. Abe, S. Kawai, and H. Obara (2000): Disk Shaped tunable optical filter, US Patent No. 6157025.

(70) H. Obara and Y. Hamazumi (1992): Star coupler based WDM switch employing tunable devices with reduced tunability range, *Electronics Letters*, Vol.28, No.13, pp.1268-1269.

(71) T. Kawai and H. Obara (1997): Crosstalk reduction in $N \times N$ WDM multi/demultiplexers by cascading small arrayed waveguide gratings (AWG's), *IEEE Journal of Lightwave Technology*, Vol.15, No.10, pp. 1929-1937.

(72) H. Obara and Y. Hamazumi (1992): Multiwavelength routing using tunable lasers and arrayed-waveguide grating multiplexers for wavelength-division and space-division multiplexed crossconnects, *Electronics Letters*, Vol. 28, No.23, pp. 2172-2173.

(73) H. Obara (1996): Scalable two-stage WDM cross-connect architecture, *Electronics Letters*, Vol.32, No.1, pp. 57-58.

(74) H. Obara and T. Kawai (1996): Virtually crosstalk-free wavelength routing network architecture, *Electronics Letters*, Vol.32, No.12, pp.1123-1125.

(75) T. Kawai and H. Obara (1996): Multi-stage WDM demultiplexer with improved crosstalk performance, in *Proc. of Optoelectronics and Communications Conf.*, pp. 228-229.

(76) M. Koga, Y. Hamazumi, A. Watanabe, S. Okamoto H.Obara, K. Sato, M.Okuno, and S. Suzuki (1996): Design and performance of an optical path crossconnect system based on wavelength path concept, *IEEE Journal of Lightwave Technology*, Vol.14, No.6, pp.1106-1119.

(77) 小原 (2001) : 超高速ネットワークにおける多段スイッチ網の構成法に関する研究, 博士論文 (東北大学).