

氏名（本籍）	コロコ ラブソン（ザンビア共和国 <sup>※1</sup> ）
専攻分野の名称	博士（ <span style="border: 1px solid black; padding: 0 2px;">工学</span> ・理学・理工学） <sup>※2</sup>
学位記番号	理博甲第 262 号
学位授与の日付	令和 3 年 9 月 2 4 日
学位授与の要件	学位規則第 4 条第 1 項 <sup>※4</sup> 該当
研究科・専攻	理工学研究科 総合理工学専攻 <sup>※5</sup>
学位論文題目 (英文)	A study on improving the performance of three-stage Clos networks
論文審査委員	(主査) 教授 熊谷 誠治
	(副査) 教授 齊藤 準
	(副査) 教授 山口 留美子
	(副査) 准教授 田中 元志

注釈記号および下記は、提出の際に削除いただけますと幸いです。

<sup>※1</sup> 本籍は都道府県のみ記入すること。また、留学生の場合は国籍を記入すること。

<sup>※2</sup> 「(工学・理学・資源学)」から 1 つ選択すること。

<sup>※3</sup> 工学資源学研究科所属の場合は「工博」とすること。

<sup>※4</sup> 論博の場合は「第 2 項」とすること。

<sup>※5</sup> 工学資源学研究科所属の場合は「工学資源学研究科 <所属> 専攻」として記載すること。

## 論文内容の要旨

With the increase in the demand for IP (internet protocol) traffic on the internet and many communication networks in recent past, high-capacity and fast switching routers and switches have become essential in the backbone of communication networks. Routers and switches play a very important role of routing signals from one node to another anode in a network. Their capacity and the speed at which this is performed is key to achieving the desired performances in current communication networks. Most of the routers and switches are constructed with a multistage switching fabric at the core of its switching. The three stage clos network and the Benes networks are such multistaged switching fabrics. Multistaged switches are organized in such a way that

several smaller switches in one stage are connected to other switches in another stage to form a network with larger capacity. Each switch in each stage connects to every switch in the next stage. Multi staging helps solve the scalability problem that comes with the crossbar switch. Using a single crossbar switch as a switching fabric does not allow for scalability as the cross point increases exponentially with an increase in the number of ports.

The three stage Clos network, usually denoted by  $C(n, m, r)$ , where  $n$ ,  $m$  and  $r$  represent the number of inputs/output ports of the input/output switches, the number of middle stage switches and the number of inputs/output switches respectively, has been one of the most widely used designs in many switching architectures.

This thesis discusses two approaches in improving the performances of the three stage Clos switch. Firstly, the study considers the structure of Clos networks that include conventional crossbar switch elements which are composed of  $2 \times 2$  basic switching elements often used in optical switches. The study highlights the fact that crossbar elements have a number of idle ports unused and discuss how these idle ports can be used to improve the non-blocking properties of the network. An elaboration on the non-blocking properties of this network is provided. This work shows that the lower bound on the value of  $m$  for rearrangeably non-blocking switch can be reduced by 25% of the original Clos network when idle ports are used. It has also been demonstrated in this study that when  $m = n$ , the number of rearrangements is reduced to 1 regardless of the values of  $n$  and  $r$ . Typical conventional Clos switch require  $r-1$  rearrangements in a worst-case scenario. The work also shows that the number of middle stage switches required for wide sense non-blocking in Clos network can be reduced approximately by 25% lower than that of the conventional Clos switch.

Secondly, this work discusses the design and implementation of a fast and hardware-efficient parallel processing algorithm used to set up full and partial permutations in Benes network. The new design uses parallel and distributed processing elements for configuring the Benes network. The novel parallel algorithm can realize full and partial permutations in a unified manner with very little overhead time and extra hardware. The proposed design reduces the hardware complexity of processor elements from  $O(N^2)$  to  $O(N(\log_2 N)^2)$  due to the distributed architecture. The distributed architecture also allows for pipelining in the architecture which in turn reduces the time complexity of processor elements from  $O((\log_2 N)^2)$  to  $O(\log_2 N)$ . To

further reduce the time complexity, asynchronous operation has been introduced in part. The prototype is implemented in hardware using a field programmable gate array and the performance is investigated for the switch size of  $N=4$  to 32. Further a fast parallel algorithm for setting up a three stage Clos network in which the component switch sizes have a power of two is presented. The algorithm is also implemented in hardware using field programmable gate array and its performance investigated through experiments. This work reports that the algorithm can operate as fast as the time complexity of  $O(\log_2 N)$  up to a certain switch size, in contrast to the conventional algorithms which require a time complexity of at least  $O((\log_2 N)^2)$ . The experimental results demonstrate that the proposed designs outperform recent methods by several times in terms of hardware and processing complexities.

## 論文審査結果の要旨

3段 Clos スイッチは、クロスバースイッチで構成されていた電話交換機の回路規模を削減するため、1953年に Bell 研究所の C. Clos によって提案された。その後、3段 Clos スイッチはデジタル交換機やパケット交換機などに広く応用されてきた。現在は、大規模な光スイッチやルータなどへの応用に向け、スイッチ構成とスイッチ制御の両面から世界的に盛んに研究されている。本論文は3段 Clos スイッチを光空間スイッチに適用する場合、その回路規模を削減可能な構成原理とスイッチ制御の高速化のための並列制御アルゴリズムの構築を目的としており、時宜を得た研究である。本論文は以下の6章から構成される。

第1章は序論であり、本研究の背景、代表的な多段スイッチの構成原理と制御アルゴリズムに関する先行研究の概要、本研究の目的およびアプローチなどについて述べた。

第2章は本研究の対象となる3段 Clos スイッチに関する先行研究のまとめであり、その構成原理と性能（回路規模、ノンブロッキング特性、制御アルゴリズムの複雑さ）を定量的にまとめて示した。それらは提案方式との性能比較の際に参照される。

第3章は本研究で提案する3段 Clos スイッチの改良構成を示す。3段 Clos スイッチは従来の小規模なクロスバースイッチをスイッチ要素とし、それを多段接続して得られる。そのクロスバースイッチには未使用の入出力ポート（アイドルポート）が存在しており、本研究ではそれらを追加の入出力ポートとして利用するという独自のアプローチをとる。さらに、アイドルポートを利用する方法として単方向型と双方向型の二つの可能性があることを示し、本研究では大きな性能向上が期待される双方向型に注目する。本章では双方向スイッチを3段 Clos スイッチの2段目にのみ適用した基本構成と、すべての段に適用した改良構成を示した。改良構成では、スイッチ効率を最大で約 25%改善できることを理論的に示した。

第4章では3章で提案したスイッチの回線設定方法（ルーティング）について検討し、そ

れをシミュレーションで検証した。スイッチ効率を改善するため、クロスバースwitchの1つの行または列に2つの回線を優先的に収容するペアリング方式を提案した。Cプログラムで記述したシミュレーションで評価した結果、前章で示した理論値と一致する結果が得られた。

第5章は3段 Clos スwitchのスイッチ制御を並列処理によって高速化する検討である。そのアプローチは、多段switchの一種である Benes スwitchのために提案された従来の並列制御アルゴリズムを3段 Clos スwitchに応用するという独自のアプローチをとる。この場合、switchのポート数  $N$  が2の累乗に限定されるという制約があるが、switch制御が簡易化され高速化が容易に実現できる可能性がある。それを実証するため、本研究では独自の回路構成を提案して FPGA に実装し、そのハードウェア規模と処理時間を実験的に検証した。その結果、 $N = 4 \sim 64$  の範囲において、ハード規模は  $\text{Mlog}_2 N$  に比例し、処理時間は  $N$  に依らず一定となり、しかも5クロック時間と高速化できることがわかった。これは、従来の3段 Clos スwitch専用の制御アルゴリズムと比較して5～6倍以上の性能であり、 $N$  が大きくなればその差はさらに広がることを明らかにした。

第6章は結論であり、本研究の到達点と今後の課題が簡潔にまとめられている。本論文の寄与は以下の2点に集約される、第一はクロスバースwitchのアイドルポートを双方向で利用する新たな3段 Clos スwitchを提案し、理論とシミュレーションによって回路規模を約25%削減できることを明らかにした。第二は従来の Benes スwitch用の並列制御アルゴリズムを独自の回路構成で FPGA に実装し、従来の数倍以上の高速化を実現した。提案したswitchは双方向型となるため、その実現にはデバイス設計や性能評価などで多くの課題が残されているが、本研究が嚆矢となって世界的に双方向型光switchの研究が盛んになることが期待される。

以上、本論文は、大容量switchを実現する上で最も有望と考えられている3段 Clos スwitchの性能を大幅に改善できる可能性を明らかにした。その成果はswitch構成および制御技術を進展させるとともに、現在の情報通信ネットワークの大容量化と高速化への寄与が期待される。よって、本論文は博士（工学）の学位論文として十分に価値があるものと認められる。