

解説

3 段 Clos スイッチ網の性能改善に関する研究(その 1)

- 研究の背景とスコープ -

小原 仁**, Koloko Labson**

Improving Performances of Three-Stage Clos Switch Networks, Part I
- Back Ground and Scope of the Study -

Hitoshi Obara** and Koloko Labson**

Abstract

Since C. Clos published his seminal work on three-stage switching networks in 1953, the Clos architecture has offered a most practical and efficient design solution for implementing large-scale switching networks to date. There are a great number of published articles applying the Clos architecture to space switches, time-division multiplexed switches, packet/ATM switches, optical switches, among others. However, to our knowledge, there are very few researches aiming to improve performances of the Clos architecture itself. In this paper we give out some redundancy in the Clos architecture for the first time, e.g. idle ports left unused, and examine some techniques to enhance its performances by using the redundancy. Although this paper focuses on the back ground and scope of the study, we fix our research goals and briefly discuss possible techniques in this paper. Our new design principles of the Clos networks will appear elsewhere in the near future.

1. はじめに

この解説の対象である「スイッチ」(以下, SW と略称)とは, 例えば電話交換機のように多数の加入者の間で動的に回線を設定するための装置であり, 通信システムに不可欠な要素である⁽¹⁾. 最も初期の SW として, 入力ポートからの配線と出力ポートへの配線を直交配置して, その交点に電磁式リレーを設置した機械式クロスバーSW (XB-SW) がある⁽²⁾. このタイプの XB-SW は現在では使われていないが, その交点に 2 入力・2 出力の光 SW を配置した光 XB-SW は現在も光ネットワークなどで広く使用されている⁽³⁾⁽⁴⁾. 最近の例では, インターネットでパケットを宛先に振り分けるルータにもパケット蓄積用のメモリが付加された SW が用いられている^{(5),(6)}.

「スイッチ網」とは, いくつかの小規模な SW を網状に接続して得られる大容量の SW であり, 様々な拡張方法が提案されてきた⁽⁷⁾. その中でも XB-SW

を多段接続した Clos 網は規則的で単純な構成であり, 回路規模が小さいという特長がある. SW 全体の入力(出力)ポート数を N とすると, XB-SW の回路規模は N^2 に比例するが, 3 段 Clos 網では $3N^{3/2}$ まで削減できる. $N = 256$ では 5 倍, $N = 1024$ では 10 倍以上の差が生じる. また, Clos 網は既存回線の接続状態によらず未接続の入出力ポートを必ず接続できる性質(完全ノンブロック性)がある⁽⁸⁾. さらに, Clos 網内の経路探索は簡単な論理処理(Boolean 演算)で実現できる⁽⁹⁾.

Clos 網は 1953 年に提案され, 上記の優れた性質のため, これまで多くの通信システムに用いられてきた. ごく一例をあげると, 1960 年代の電話交換機(空間分割型 SW)⁽¹⁰⁾, 1980 年代のデジタル交換機(時分割型 TST-SW)⁽¹¹⁾, 1990 年代の Broadband 交換機(ATM-SW)⁽¹²⁾, 2000 年代の光 SW⁽¹³⁾, 2010 年代の大容量ルータ^{(14),(15)}などである. 世界最大の電気電子情報関係の学会である IEEE のデータベース⁽¹⁶⁾で検索すると, 2018 年 6 月現在で論文タイトルに Clos network または Clos switch を含むものだけで 218 件, 本文中にそれらを含むものは 6,391 件に達する. 平均して 1 年に約 100 件の論文が Clos 網に言及している

2018 年 7 月 23 日受理

**秋田大学大学院理工学研究科 数理・電気電子情報学専攻 電気電子工学コース, Electrical and Electronic Engineering Course, Department of Mathematical Science and Electrical-Electronic-Computer Engineering, Graduate School of Engineering Science, Akita University

ことになる。特筆すべきは、前述の約 6 千件の論文のうち約 4 千件が 2000 年以降に発表されている点である。この事実は Clos 網の応用範囲が近年、ますます広がっていることを示唆している。論文タイトルに Clos network/switch を含む上記の論文の約 85% が Clos 網の応用技術であり、その他は Clos 網で 1 : n マルチキャスト回線や多様な速度の回線を収容する場合のノンブロック条件、あるいは特定のアルゴリズムを用いて回線設定した場合にノンブロックとなる広義ノンブロッキング型 SW の理論検討などである。筆者らが調べた範囲では、Clos 網自身の性能を改善することを目的とした研究は一例も見つけることができなかった。筆者らの調査不足もあるが、Clos 網の完成度の高さと、前述のように Clos 網の回路規模は XB-SW と比較して 10 分の 1 以下に削減でき、更なる性能改善のニーズは強くなかったことなどがその要因として考えられる。しかし、理論面からの興味と後述する実用面からの要請により、その性能を改善する研究は大変有意義である。それは前述の Clos 網の応用の広さを考えれば明らかであろう。

筆者らは、これまで約 10 年間に亘り XB-SW の回路規模を最大で半減できる幾つかの新たな構成原理を提案した^{(17)~(31)}。本研究はその成果を Clos 網に適用するという最新かつ独自のアプローチをとる。以下、第二章において本研究の基盤となる XB-SW と Clos 網の概略を紹介する。第三章で回路規模を削減した XB-SW の一例を紹介し、それを Clos 網に適用して得られる効果と問題点を議論する。第四章では本研究で解決すべき課題を整理し、本研究の今後の取り組みについて議論する。第五章はまとめである。なお、本研究のゴールは 1 つではなく、その過程も段階的である。このため、本解説で全ての研究内容をカバーできない。Clos 網の新たな構成原理やその制御などについては最後に紹介する今後の報告を御参照願いたい。

2. 研究背景

2.1 XB-SW の概要

本研究で対象とする SW は、2 入力・2 出力の単位 SW を網状に接続して得られる光 SW である。図 1(a) にその代表的な XB-SW の構成原理を示す。入力ポートと出力ポートを格子状に配置し、それらの交点に単位 SW を設置する。単位 SW は図 1(b)と(c)のクロス接続とバー接続を切り替えるため 1 ビットの制御信号を必要とするが、以下では簡単のため省略している。また、全ての単位 SW の初期状態はクロス状

態とする。入力ポート i と出力ポート j を接続する場合、それらの交点に存在する単位 SW ($C_{i,j}$) のみをバー接続に変更する。その回線を解放する場合は $C_{i,j}$ のバー接続をクロス接続に戻すだけでよい。一方、ハードウェアの面では、ポート数を N とすると、単位 SW の総数で定義される回路規模は N^2 と急激に増大する。XB-SW は単純な制御で高速に実行できる反面、回路規模が最大となる両極端の性質を有しており、性能バランスが非常に悪いことがわかる。

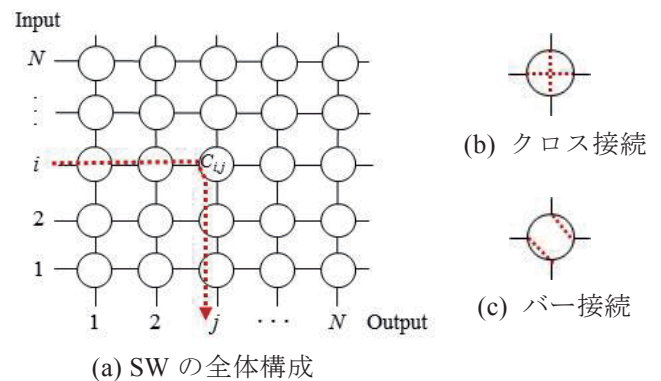


図 1 本解説で対象とする XB-SW の構成

単位 SW の例として、光導波路上で実現されるマッハ・ツェンダー SW⁽³²⁾の構成原理を図 2 に示す。この光 SW では電気信号 (図 2 ではヒータ) によりデバイスの屈折率 (= 光の速さ) を変化させ、後段の方向性結合器での位相をシフトさせて SW 動作を実現する。光の干渉を用いているため、原理的に波長以下のサイズでは実現できない。一般的に、デバイスの感度が小さいため作用長を大きくとる必要がある。また、導波路上の配線は光信号の損失を抑えるために急な曲げを実現できない。図 1 では配線の曲げがないように見えるが実際には図 2 のように存在する。さらに、信号の干渉 (クロストーク) を抑えるため配線間隔も狭くできない。電気 LSI と異なり、上記の集積度の限界のため 1 チップで実現できる光 SW サイズ (ポート数) は厳しく制限される。以上の理由により、光 SW の大容量化・経済化のためには単位 SW 数を減らすことが有効であることがわかる。

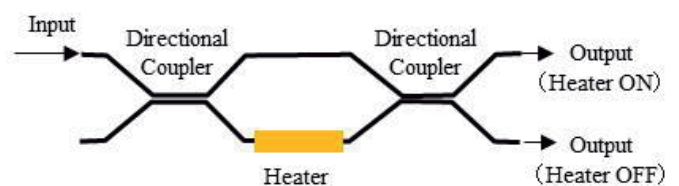


図 2 マッハ・ツェンダ型 2x2 光スイッチ素子

2.2 Clos-SWの概要

前節で述べたように、1チップで実現できる光XB-SWのサイズは小さく、 $N = 16 \sim 64$ 程度である。このため、複数のXB-SWを網状に接続してSWサイズを拡張する方法が多数提案されてきた⁽³³⁾。例えば、図1のXB-SWを1チップで実現し、それを縦・横・斜め方向に2次的に拡張する方法が考えられるが、チップ数が2乗で増大するため現実的でない。この限界を打破するため、小規模なXB-SWを3段接続する方法がC. Closによって提案された⁽⁸⁾。その一例を図3に示す。四角のブロックは図1に示したXB-SWで、その左側が入力ポートであり、右側が出力ポートを表す。

図3において1段目の r 個のXB-SW ($I_1 \sim I_r$)を入力SWと呼ぶ。そのSWサイズは入力が n 本、出力が m 本であり、以下では $n \times m$ と表記する。全体のSWサイズ N は $N = nr$ となる。2段目の m 個の $r \times r$ XB-SW ($M_1 \sim M_m$)を中間SWと呼び、3段目の r 個の $m \times n$ XB-SW ($O_1 \sim O_r$)を出力SWと呼ぶ。図3は $(N, n, r, m) = (12, 4, 3, 4)$ に相当する構成である。なお、XB-SW相互を結ぶ線をリンクと呼ぶ。

図3において、全ての入力と出力が接続できるためには $m \geq n$ である必要性は明らかである。実際、 $m = n$ では新しい回線を設定するために既存の回線の接続経路の変更が必要となる再配置ノンブロック型となる⁽³³⁾。 $m \geq \lfloor 2n - n/F_{2r-1} \rfloor$ では広義ノンブロック型となり⁽³⁴⁾、 $m \geq 2n - 1$ では完全ノンブロック型となる。ここで、 $\lfloor x \rfloor$ は x を超えない最大の整数を表すfloor関数、 F_k は k 番目のFibonacci数である。なお、 $m = n$ の条件でSW規模が最小となるのは $n = m = r = \sqrt{N}$ の場合である。本研究では実用性の面から完全ノンブロックなSWを対象とし、以下では簡単のため $m = 2n$ と仮定する。

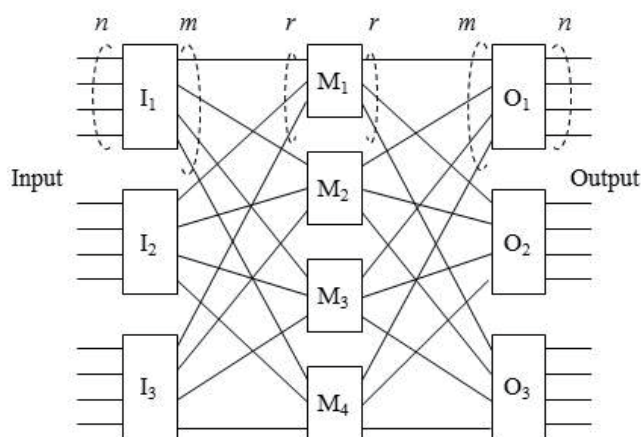


図3 3段Clos網の構成例

さて、Clos網の回路規模は、なぜXB-SWより格段に小さくなるのだろうか。図1に示すようにXB-SWの行と列の単位SWやリンクは特定の入出力ポートで独占的に使用されており、その利用効率は非常に小さいことがわかる。一方、Clos網では一対の入出力ポート間の経路は中間SWと同じ数だけ存在し、かつ、それらのルート上の単位SWやリンクは複数の入出力ポートで共有されている。すなわち、単位SWやリンクなどのリソースの「共有度」を上げることがSW効率改善の鍵となることがわかる。ただし、リソースの共有は制御の複雑さとトレードオフとなることに注意する必要がある⁽¹⁷⁾。

3. 本研究のアプローチ

3.1 XB-SWの冗長性

本研究の目的はClos網の性能改善であるが、筆者らのような浅学菲才の研究者が直接、図3の構成を考えてもすぐに行き詰ることは明らかである。本研究では「急がば回れ」という先人の知恵に学び、Clos網を構成しているXB-SWに注目する。第一章で述べたように、筆者らはXB-SWの冗長性に注目して新たな構成法を提案してきたことが背景にある。

図1を見ると、上端と右端にあるそれぞれ N 本のポートは未使用状態となっている。筆者らは、その冗長性を除去することで回路規模を N^2 から $N(N-1)$ に削減でき、さらに、光信号のcoupling/splitting損失を許容すれば $N(N-1)/2$ にまで半減できることを明らかにした^{(27),(28)}。ただし、その代償として光信号の損失が増えるほか、配線が複雑化するなどの新たな問題が生じる。そこで、XB-SWの冗長性を「排除」するのではなく、それを「活用」する方向に発想を転換する。すなわち、上記のXB-SWの空ポートを追加の入出力ポートとして利用することを考える。

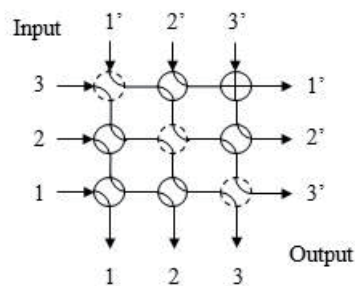


図4 XB-SWの空ポートを利用したSW構成例

最も単純には図1のXB-SWを図4に示すように2つの三角SWとして利用する方法が考えられる⁽³⁵⁾。

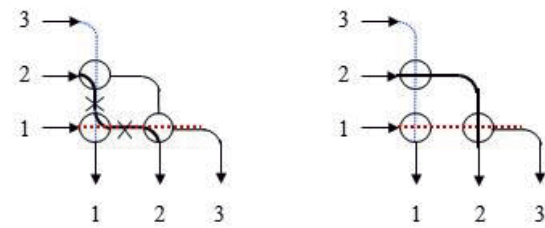
図4では 3×3 のXB-SWの上端の空ポートを追加の入力ポート $1'$, $2'$, $3'$ とし, 右端の空ポートを追加の出力ポート $1'$, $2'$, $3'$ に割り当てる. XB-SWの対角線上にある単位SWはパー状態に固定される. このように追加の入出力ポートを付与したXB-SWを拡張XB-SW (Augmented XB-SW) と呼ぶ^{(30),(31)}.

参考までに, 図4に含まれる三角SWはXB-SWの性質から次のように容易に導かれる^{(18),(33)}. 図1のXB-SWの最初の列において, 左端から入力される N 本の光信号の中から出力ポート1宛てのものが抜き出され, 2列目に向かう信号は $N-1$ 本に減少する. 図4では1列目で入力1が出力1と接続された後, その空席を埋めるように入力2と3が下方にシフトする. 以下, 同様に1つの列を通過する度に信号の総数は1個ずつ「だるま落とし」のように減っていく. よって, 縦方向の単位SW数が1列ごとに1個ずつ減少する三角SWが得られる. この性質を応用すると新たなSW構成が得られるが, その詳細については筆者らの論文⁽³⁰⁾を参照されたい.

3.2 Clos網への応用

図4の拡張XB-SWを図2のClos網の中間SWに適用すると, 中間段におけるXB-SW数を半分に減らすことができる. 大まかに見積もると, 全体の3分の1を占める中間段のSW規模を半分にできるので, SW全体としては約6分の1の削減が見込まれる. さらに, 入力SWと出力SWにも適用範囲を広げると, 最大で2分の1の削減が見込まれる. この効果はClos網の回路規模がXB-SWの10分の1以下に削減できることに比べて, 実に僅かなものである. しかし, 一般的に, あるシステム全体の回路規模の6分の1~2分の1を削減できるとしたら, それは無視できない効果ではないだろうか.

上記の議論で本研究の目的であるClos網の性能改善がすぐにでも達成できそうだとおられるかも知れない. しかし, 現実にはそれほど単純ではない. 図4において, 入力1から出力1の接続と入力3から出力3の接続を入れ替えるケースを考える. それらの2つの新たな接続は, 既存の接続 (この場合は入力2から出力2) でブロックされる (図5a). ただし, その既存の回線の経路 (入力2から出力2) を再配置すると新たな接続を実現できる (図5b). すなわち, 三角SWは再配置ノンブロックとなる. さらに不幸なことに, $N \times N$ 三角SWで再配置すべき回線数は最悪の場合 $N-2$ となり, 2つの回線を交換する際に既存の全ての回線が影響を受けるため実用的ではない.



(a) ブロック発生例 (b) 再配置によるブロック解消

図5 三角SWにおけるブロックと再配置の例

では, 図4の拡張方法の何が悪かったのだろうか. その答えはこれまでの議論から明らかである. 図4では, 1つのXB-SWを互いに排他的な2つの三角SWに分断しており, 本研究で志向すべきリソースの「共有」が全く考慮されていない. とすれば, その解決方法も自ずと明らかである. 何らかの「共有」機構を導入すればよい. 筆者らが最初に思いついた新たな拡張XB-SWの例⁽²⁹⁾を図6に示す. XB-SWの行と列の単位SWがそれぞれ2つの入力と出力で共有されている. また, 従来のXB-SW (図1と図3) と異なり, 図6では同一行および列の入出力ポートの信号の伝送方向が反対 (双方向) となっている. ただし, この構成では次に述べる「干渉」と「制約」という二つの副作用が新たな問題となる.

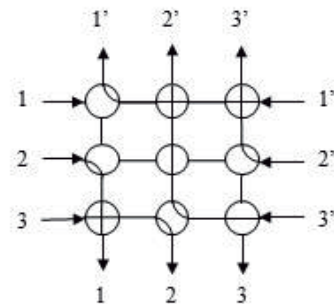


図6 リソース共有を図った拡張XB-SWの例

図6において, 入力1から出力3と入力 $1'$ から出力 $1'$ へ同時に回線設定をすると行内でブロックが発生する. 同様に, 入力 $3'$ から出力 $1'$ と入力1から出力1へ同時に回線を設定すると列内でブロックが発生する. ある工夫によって行内のブロックは避けることはできる⁽³⁷⁾, 列内のブロックは解消できない. しかし, その詳細は割愛するが, 図5の拡張XB-SWでは最悪ケースの再配置数を1にまで削減することができる⁽³⁷⁾. この結果は, SW制御の複雑さを $O(N)$ から $O(1)$ に低減させたことに相当し, 図6の構成がそれほど筋の悪いものではないことを暗示している.

次に、双方向化の影響について考える。一般的に、受動素子で構成される光 SW では信号の伝送方向は任意である。例えば、導波路上に作成された光 SW は入出力ポートを反対に使用しても、元の特性とほぼ同等の性能を示すことが実験的に示されている⁽³⁸⁾。一方で、例えば MEMS タイプの光 SW では、その動作原理から信号の伝送方向が限定されており、図 6 のような双方向化が適用できない。以上の議論より、図 6 の構成は内部ブロックが避けられず、全ての光 SW に適用できないなどの問題がある。

4. 研究の範囲と進め方

以上の研究背景と経緯をベースに本研究の3つの課題と今後の進め方を簡単に述べる（図7を参照）。

最初に、今後の研究で、どのような SW 構成を検討対象とすべきだろうか。これまで紹介した SW 構成には未解決の問題が残されている。しかし、その先の展望が全くない訳ではない。図6の拡張 XB-SW ではブロックを完全に解消できないが、それは1つの拡張 XB-SW を従来の2つの XB-SW として最大限度まで利用しているためである。ならば、1つの拡張 XB-SW を、例えば1.5個の従来の XB-SW として収容率を下げて使うことでブロックを回避できないだろうか。この例では、2つの拡張 XB-SW に3つの従来の XB-SW を埋め込むことに相当する。この考え方は共有化のレベルを1段階上げを意味する。本質的な解決方法ではないかも知れないが、最初のステップとして現実的なアプローチと思われる。

次に、双方向化の問題について考える。図6では1つのリンクを直接、共有しているが、リンクの伝送方向を固定した上で双方向化することはできないだろうか。具体的には右向きと左向き、あるいは下向きと上向きの単方向リンクを混在させる形態である。その背景として、次のようなアナロジーが考えられる。初期の Ethernet では1本のバスを双方向で共有しており、その最大効率は30%程度であった。その後、単方向のバスを折り返す形態（Folded Bus）が提案され、最終的に2本の単方向バスを組み合わせた双方向構成（Bidirectional Dual Bus）に進化した。バスの本数は2倍に増えたが、受信ノードで情報を終端する場合のスループットは約7倍の200%以上になった。アナロジーが常に正しい方向を示す訳ではないが、最初のステップとして試してみる価値はある。

最後に、SW 制御の問題について考える。現時点では新たな Clos 網の構成は不明なので、その SW 制御も不明である。ただし、前述のように共有化のレベ

ルが上がれば SW 制御が複雑になり、その制御時間が問題になる。現状把握のため、Clos 網の制御の高速化に関する従来の研究をリサーチしたところ、少数の論文しか存在しないことが判明した。本解説ではスペースの制限から Clos 網の構成に焦点を当てたが、Clos 網の制御の高速化も本研究の主要なゴールの一つとして既に検討を開始した⁽³⁹⁾。最初のステップとして最も単純な構成（ $n=2$ ）とし、その後、一般的な条件（ $n \geq 3$ ）に拡張する予定である。

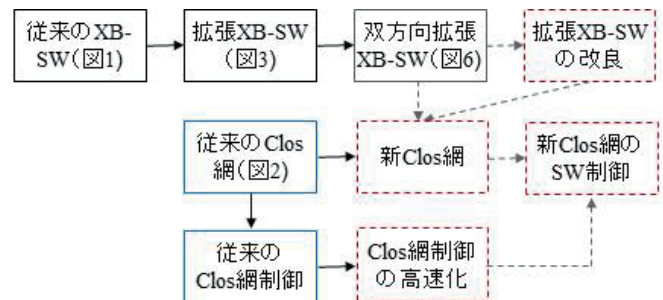


図7 本研究の課題と従来技術との関連

5. まとめ

本解説では、最初にスイッチ網の代表例である3段 Clos 網について、近年、その応用範囲がますます広がっているものの、それ自身の性能改善の研究例がほとんどないことを示した。次に、筆者らによる最新かつ独自のアプローチとして、XB-SW の冗長性を活用した拡張 XB-SW を用いる性能改善の方法を紹介した。最後に、本研究で解決すべき3つの課題として、単位 SW の共有化、リンクの単方向化、制御の高速化をあげ、それぞれの研究の進め方について簡単に議論した。本研究に関する成果の一部については、今後、下記のように報告する予定である。

- ・3段 Clos スイッチ網の性能改善に関する研究（その2）－双方向 XB-SW を適用した3段 Clos スイッチ網－，電気関係学会東北支部大会，2018年9月
- ・3段 Clos スイッチ網の性能改善に関する研究（その3）－FPGA を用いた3段 Clos スイッチ網の制御の高速化－，電気関係学会東北支部大会，2018年9月
- ・Improving Performances of Three-Stage Clos Networks Part IV –Reducing the Number of Rearrangements Using Idle Ports, *IEEE Tohoku Section Joint Convention*, Sept. 2018
- ・3段 Clos スイッチ網の性能改善に関する研究（その5）－3段 Clos スイッチ網の並列制御方式，電子情報通信学会 EMD 研究会，2018年10月

謝辞

本研究について、当初からその重要性和将来性に深い御理解を賜り、温かく見守っていただいた坂田真人先生（秋田大学名誉教授）と根元義明先生（東北大学名誉教授）に衷心より御礼申し上げる。また、筆者らの下でスイッチ網の研究に辛抱強く取り組み、世界に誇れる研究成果をあげた（ている）研究室の学生およびスタッフに感謝する。

参考文献

- (1) Hui, J.Y. (1990): *Switching and Traffic Theory for Integrated Broadband Networks*, Kluwer Academic Publishers, Boston.
- (2) Pearce, J. G. (1981): *Telecommunications Switching*, Plenum Press, New York.
- (3) Papadimitriou, G.I., Papazoglou, C., Pomportsis, A.S. (2003): Optical Switching: Switch Fabrics, Techniques, and Architectures, *IEEE/OSA J. Lightw. Technol.*, vol. 21, no. 2, pp.384-405.
- (4) Spanke, R.A. (1987): Architectures for Guided-Wave Optical Space Switching Systems, *IEEE Communi. Mag.*, vol. 25, no. 5, pp.42-48.
- (5) Hassen, F., Mhamdi, L. (2015): High-Capacity Clos Network Switch for Data Center Networks, *Proc. of IEEE Int. Conf. on Communications*, pp.1-7, London, UK.
- (6) Hogg, S. (2014): Clos Networks: What's Old Is New Again, *Network*, <https://www.networkworld.com/article/2226122/cisco-subnet/clos-networks--what-s-old-is-new-again.html>
- (7) Marcus, M. J. (1977): The Theory of Connecting Networks and Their Complexity: a Review, *Proc. IEEE*, vol. 65, no. 9, pp.1263-1271.
- (8) Clos, C.C. (1953): A Study of Non-Blocking Switching Networks, *BSTJ*, vol. 32, no. 2, pp.406-424.
- (9) Hwang F. (1983): Control Algorithms for Rearrangeable Clos Networks, *IEEE Trans. on Communi.*, vol. COM-14, no. 3, pp.952-954.
- (10) Matthews, G. A. (1966): The Pentax Electronic Telephone Exchange, *IEEE Trans. on Communi. Tech.*, vol. 31, no. 8, pp.212-216.
- (11) Bruce, R.A., Gilth, P.K. (1979): No.4 ESS – Evolution of a Digital Switching System, *IEEE Trans. on Communi.*, vol. COM-27, no. 7, pp.1001-1011.
- (12) Liew, S.C. (1994): Multicast Routing in 3-Stage Clos ATM Switching Networks, *IEEE Trans. on Communi.*, vol. 42, no. 2/3/4, pp.1380-1390.
- (13) Marom, D.M., Colbourne, P.D., D'errico A., Fontaine N.K., Ikuma Y., Proietti R., Zong L., Rivas-Moscoco, J.M., Tomkos, I. (2017): Survey of Photonic Switching Architectures and Technologies in Support of Spatially and Spectrally Flexible Optical Networking, *IEEE J. Opt. Commun. Netw.*, vol. 9, no. 1, pp.1-26
- (14) Juniper White Paper (2015): Clos IP Fabrics with QFX5100 Switches, <https://www.juniper.net/us/en/local/pdf/whitepapers/2000565-en.pdf>
- (15) Cisco White Paper (2016): Cisco Data Center Spine-and-Leaf Architecture: Design Overview, <https://www.cisco.com/c/en/us/products/collateral/switches/nexus-7000-series-switches/white-paper-c11-737022.pdf>
- (16) <https://ieeexplore.ieee.org/Xplore/home.jsp>
- (17) 小原仁, 坂田真人 (2007): 格子型スイッチ網の構成原理に関する一考察, 秋田大学工学資源学部研究報告, vol.28, pp.49-56. <https://ci.nii.ac.jp/naid/110006481838/>
- (18) Obara, H., Sakata, M., Nemoto Y. (2008): Bridging Crossbar and Triangular Switches, *Proc. of HPSRN*, pp. 31-36, Sendai, Japan.
- (19) Obara, H., Sakata, M., Nemoto Y. (2008): Torus-Embedded Crossbar Switch with a Minimum Number of Switching Cells, *ibid.*, pp.119-124.
- (20) Obara, H. (2008): Reduced Crossbar Switch with Minimum Number of Switching Cells, *Electron. Lett.*, vol.44, no.14, pp.888-889.
- (21) Obara, H. (2009): Extended Class of Pruned Crossbar Switches, *Proc. of Int. Conf. Adv. Technol. Commun.*, pp. 129-132, Hai Phong, Vietnam.
- (22) Kai, Y., Hamada, K., Myao, Y., Obara, H. (2009): Design of Partially-Asynchronous Parallel Processing Elements for Setting up Benes/Clos Networks in $O(\log N)$ Time, *Proc. of Photonics in Switching*, pp.1-2, Pisa, Italy.
- (23) 小原仁 (2014): 縮退クロスバースイッチの研究 (その1), 信学技法, EMD2014-13, pp.27-32.
- (24) 小原仁 (2014): 縮退クロスバースイッチの研究 (その2), 信学技法, IN2014-27, pp.67-72.
- (25) 小原仁 (2015): 縮退クロスバースイッチの研究 (その3), 信学技法, EMD2015-8, pp.39-44.
- (26) 小原仁 (2017): 縮退クロスバースイッチの研究 (その4), 信学技法, OCS2017-17, pp.33-38.
- (27) 小原仁 (2017): 縮退クロスバースイッチの研究 (その5), 信学技法, OCS2017-18, pp.39-44.
- (28) Obara, H. (2015): Design of Optical Multi/Demultiplexers Composed of Bidirectional 2 x 2 Switch Elements for Reducing Component Count, *Electron. Lett.*, vol.51, no.15, pp.1182-1184.
- (29) Obara, H. (2016): Strictly Non-Blocking Three-Quarter Crossbar Switch with Simple Control, *Electron. Lett.*, vol.52, no.23, pp.2051-2053.
- (30) Obara, H., Hashimoto, T. (2016): Augmented Crossbar Switch: a New Design of Optical Crossbar Switch for Improved Crosstalk Performance, *Proc. of Int. Conf. on Elect. Eng.*, Okinawa, Japan.
- (31) Obara, H. (2018): Cascaded versus Parallel Architectures of Two-Stage Optical Crossbar Switches with an Extra Set of Inputs and Outputs, *IET Optoelectronics*, vol. 12, no.4, pp.196-201.
- (32) Hinton, H.S. (1987): Photonic Switching Using Directional Couplers, *IEEE Com. Mag.*, vol. 25, no. 2, pp.16-26.
- (33) Kabacinski, W. (2005): *Nonblocking Electronic and Photonic Switching Fabrics*, Springer, Berlin.
- (34) Opferman, D.C., et al. (1971): On a Class of Rearrangeable Switching Networks Part I: Control Algorithm, *BSTJ*, vol. 50, no. 5, pp.1579-1600.
- (35) Chang, F.H., Guo, J.Y., Hwang, F.K., Lin, C.K. (2004): Wide-Sense Nonblocking for Symmetric or Asymmetric 3-stage Clos Networks under Various Routing Strategies, *Theoretical Computer Science*, vol. 314, pp.375-386.
- (36) Lea, C-T. (2005): Expanding the Switching Capabilities of Optical Crossconnects, *IEEE Trans. Communi.*, vol. 53, no. 11, pp.1940-1944.
- (37) 橋本拓大 (2018): 空きポートを利用したクロスバースイッチの並列構成に関する研究, 平成 29 年度 秋田大学大学院理工学研究科修士論文.
- (38) Tanizawa, K., Suzuki, K., Ikeda, K., Namiki S., Kawashima, H. (2016): Novel PILOSS Port Assignment for Compact Polarization-Diversity Si-Wire Optical Switch, *Proc. OFC*, pp.1-3, Anaheim, CA, USA.
- (39) 柳普登 (2018): FPGA を用いたハードウェア制御による三段 Clos 網の制御の高速化に関する研究, 平成 29 年度 秋田大学理工学部卒業論文.