

論 文

CMOS スタティックメモリ回路の電流テスト手法

横山 洋之*, 玉本 英夫*

Current Testing for CMOS Static RAMs to Reduce Testing Costs

by

Hiroshi YOKOYAMA† and Hideo TAMAMOTO†

Abstract

In this paper, we discuss a current testing method, which aims to reduce testing costs on CMOS Static RAMs (SRAMs). As the fault models on a memory cell, we assume a hard short between two signal lines, a hard open on signal line, a transistor stuck-on fault, and a transistor stuck-open fault. Proposed test method is based on the simulation results of electrical behavior on the faulty memory cell. In this test method, decoder circuits and bit lines are modified to drive all the memory cells of SRAMs simultaneously. Since the faults are detected by only observing the power supply current, the test sequence becomes simple, and it does not depend on the size of the memory cell array.

Key Words : Current Testing, CMOS Static RAM, I_{DDQ} Testing, Design for Testability

1. まえがき

CMOS 回路における論理的なテストを補う手法として I_{DDQ} テストが注目されている⁽¹⁾⁻⁽³⁾。 I_{DDQ} テストは、CMOS 回路における物理的欠陥の存在と、回路の定常状態における電源電流 (I_{DDQ} : I_{DD} Quiescent Current) の上昇に強い相関があることを利用したテスト手法である。半導体集積回路における物理的な欠陥とは、アルミ配線やポリシリコン (Poly-Si) 配線のみ出しや欠損、異物による配線間や層間のショート、不純物拡散の不良などであり、多くの場合これら

の欠陥は回路に異常な電流経路を形成する。 I_{DDQ} テストの利点は、論理的なテストでは検出できない微小な漏れ電流を伴う故障の検出が可能であることや、被テスト回路の可観測性が問題にならないためテスト生成コストが比較的小さいということである⁽⁴⁾⁻⁽⁶⁾。従来、 I_{DDQ} テストは CMOS 組合せ回路に対して主に適用されており、メモリ回路に対しては積極的に行われていない。その理由として、メモリ回路ではデータの書き込み時に故障による異常な電流経路が活性化されるため、ビット線のプリチャージやセンスアンプの電流に微弱な異常電流が隠されてしまうからである。また、 I_{DDQ} テストは定常状態の電源電流を観測するためテストパターンを印加する周期が長くなり、大容量メモリ回路に対してのテスト時間は膨大なものになるからである^{(7),(8)}。

そこで筆者らは、メモリ回路において、メモリセル

平成10年6月29日受付

* 秋田大学工学資源学部情報工学科
〒010-8502 秋田市手形学園町† Department of Computer Science and Engineering,
Faculty of Engineering and Resource Science, Akita
University, Akita-shi, Akita 010-8502, Japan

アレイの電源回路を独立させ、テストの際、同時に複数のメモリセルを操作可能にすれば、多くの故障を同時に活性化できるため、電源電流の観測によって効率的に故障を検出できると考えた。

以下では、CMOS スタティック RAM におけるテストコスト削減を目的とした電流テスト手法について述べる。故障は、CMOS メモリセルを構成する配線、トランジスタに発生すると仮定する。これらの故障の電源電流に対する影響をシミュレーションから明らかにし、より短いテスト時間で故障を検出するメモリの電流テスト手法について提案する。故障は活性化されるだけで I_{DDQ} から検出できるため、メモリセルアレイに対するテスト長はメモリの容量によらないものとなる。

2. 故障モデル

故障したメモリセルの動作を解析するため、図1に示す基本的な CMOS メモリセル構造を仮定する。故障はメモリセルを構成する配線、およびトランジスタ

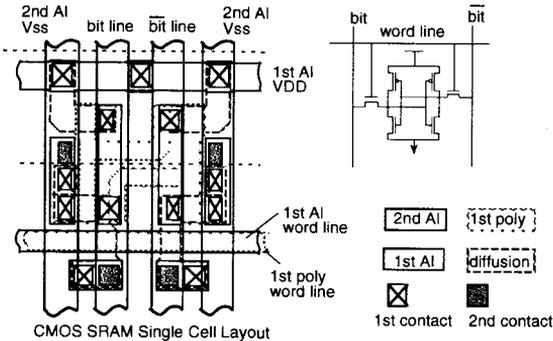


Fig. 1 Layout of a CMOS memory cell.

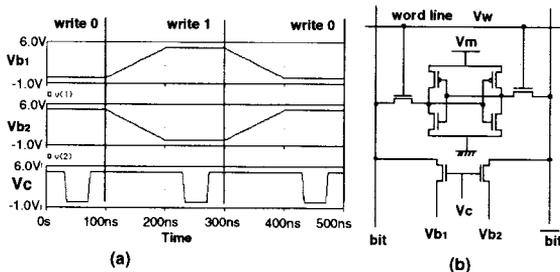


Fig. 2 Sequence in analysis for a single cell. (a) Input signal, (b) Memory cell structure.

に生じるものとする。配線の故障は断線、他の配線との短絡を仮定し、トランジスタの故障として、トランジスタが常にオフ状態に縮退する stuck-open 故障、トランジスタが常にオン状態に縮退する stuck-on 故障を仮定する。故障によるメモリセルの動作を解析するため、それぞれの故障に対し以下の様な仮定を行う。

- (仮定1) ある2つの信号線の間短絡故障が生じたとき、それらの信号線は100Ωの抵抗で短絡する。
- (仮定2) ある信号線に断線故障が生じたとき、断線により二分された信号線間の抵抗は無窮大である。
- (仮定3) トランジスタに stuck-on 故障が生じたとき、トランジスタは常にオン状態を保ち、ソース、ドレイン間の抵抗はオン状態のチャンネル抵抗に等しく、故障による他の抵抗成分は生じない。
- (仮定4) トランジスタに stuck-open 故障が生じたとき、トランジスタは常にオフ状態を保ち、ソース、ドレイン間の抵抗はオフ状態のチャンネル抵抗に等しく、故障による他の抵抗成分は生じない。

仮定1において、短絡した配線間の抵抗を100Ωとした理由は、標準的な CMOS デザインルールにおける配線のシート抵抗値が、アルミ配線では30~100 (mΩ/□) であり、ポリシリコン配線では10~40 (Ω/□) であることから、配線のはみ出しによる短絡の抵抗値はおおよそ100Ωを下回ると考えられるからである。ここで、Ω/□、は単位面積あたりの抵抗値を表わす。仮定2、仮定3、および仮定4は、故障が典型的な形で発生した場合について解析することを目的としている。

MOS 回路における故障解析法として IFA (Inductive Fault Analysis) 法のような解析法が知られているが⁽⁹⁾、ここでは簡単のため上記のような状況の故障を仮定する。

3. 単一メモリセルにおける故障

単一のメモリセルの動作解析は、SPICE を用いてシミュレーションを行った。シミュレーションにおける信号線の操作とメモリセルの回路図を図2に示す。手続きは、メモリセルに対し "0, 1, 0" の順でデータを書き込み、データの保持とデータの遷移を確認するものである。

3. 1 配線の短絡故障と断線故障

表1に配線の短絡故障についての解析結果を示す。その故障が論理的故障として現われるか、電源電流の上昇をもたらすかを示している。表1中のs-a-fは、メモリセルにアクセスできない、あるいは回路が安定状態を取らないためにシミュレーションではデータ値を確定できないが、実際の回路では各素子のパラメータのばらつきにより縮退故障になることが予想される故障を示す。また、表1では、各電源で正常な場合と比較して100 μ Aを越える異常電流があった場合、その電源の記号を示している。図3にVSSとビット線の短絡が起った場合のシミュレーション結果を例に示

Table 1 Simulation results for line short faults.

Shorts between :	2nd AI Vss1	2nd AI Vss2	1st AI VDD	2nd AI bit line	2nd AI bit line	1st AI word line	poly bit	poly bit	
2nd AI Vss1			Vm	Vm Vb1 Vb2	Vm Vb1 Vb2	Vw	Vm Vb1 Vb2	Vm Vb1 Vb2	Logic
2nd AI Vss2			Vm	Vm Vb1 Vb2	Vm Vb1 Vb2	Vw	Vm Vb1 Vb2	Vm Vb1 Vb2	
1st AI VDD				Vm Vb1 Vb2	Vm Vb1 Vb2		Vm Vb1 Vb2	Vm Vb1 Vb2	Electrical
2nd AI bit line	s-a-0	s-a-0	s-a-1		Vm Vb1 Vb2	Vb1 Vb2 Vw		Vm Vb1 Vb2	
2nd AI bit line	s-a-1	s-a-1	s-a-0			Vb1 Vb2 Vw	Vm Vb1 Vb2		
1st AI word line	s-a-f	s-a-f	s-a-1	s-a-0			Vm Vb1 Vb2 Vw	Vm Vb1 Vb2 Vw	
poly bit	s-a-0	s-a-0	s-a-1	s-a-f	s-a-1			Vm Vb1 Vb2	
poly bit	s-a-1	s-a-1	s-a-0	s-a-f	s-a-0	s-a-f			

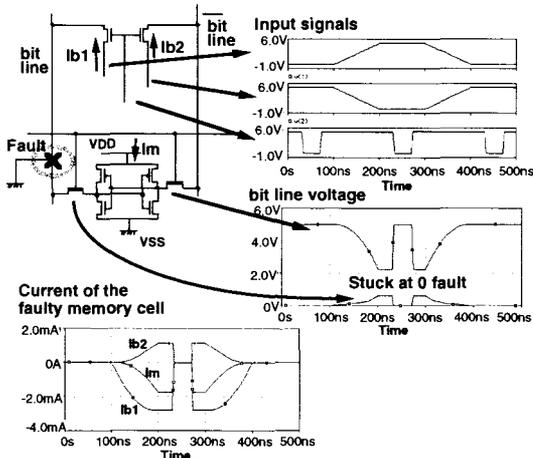


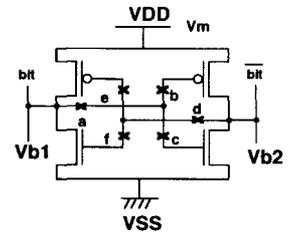
Fig. 3 Example result in the line short fault between VSS and bit line.

す。短絡した信号線間に異なる電圧が設定されることで異常な電流が流れている。このような異常な電源電流が発生する状況は、シミュレーションではメモリセルに対してデータを書き込む際に多く起り、セル電源、ビット線に影響を及ぼす傾向があった。

表2に配線の断線故障についての解析結果を示す。VSS1, VSS2のどちらか一方が断線した場合、メモリセルの対向するインバータの1つが機能しなくなりメモリセルは縮退故障となるが、故障による電流経路が形成されないため異常な電流は流れない。ビット線が断線した場合、セルデータを遷移させることが残る1本のビット線ではできなくなり、そのメモリセルの断線していない側のビット線に大きな電流が流れる。インバータの入出力をつなぐポリシリコンの断線故障は、故障の発生した物理的位置によって現象の現われ方が異なる。断線a, dの場合、断線した配線が入力となるインバータは、そのトランジスタの特性で決ま

Table 2 Simulation results for line open faults.

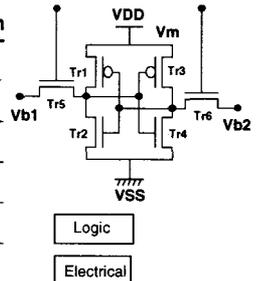
Break Lines	Faults	
2nd AI Vss1	s-a-1	
2nd AI Vss2	s-a-0	
1st AI VDD		
2nd AI bit line	s-a-1	Vb2
2nd AI bit line	s-a-0	Vb1
1st AI word line	s-a-f	
poly bit	a	Vm Vb1 Vb2
	b	Vm
	c	
poly bit	d	Vm Vb1 Vb2
	e	Vm
	f	



Logic
Electrical

Table 3 Simulation results for transistor stuck-on and stuck-open faults.

	stuck-on	stuck-open
Tr1	Vm Vb1	*2
Tr2	s-a-0 Vm Vb1 Vb2	s-a-1
Tr3	Vm Vb2	*2
Tr4	s-a-1 Vm Vb1 Vb2	s-a-0
Tr5	*1	s-a-1 Vb2
Tr6	*1	s-a-0 Vb1



Logic
Electrical

*1 Coupling fault
*2 low data retention ability

る状態に縮退する。断線 b, c, または e, f の場合、メモリセルは3つのトランジスタで論理的には正常に機能するが、b では pMOS トランジスタがオン状態を保持し異常な電流が流れ、c で断線した場合、nMOS がオフ状態を保持し異常な電流は流れない。断線 b, c のような故障はインバータの負荷駆動力を低下させるため、メモリセルのデータ保持能力の低下や、タイミング的な故障となった。

3. 2 トランジスタの stuck-on 故障と stuck-open 故障

表3にトランジスタの stuck-on, stuck-open 故障についての解析結果を示す。故障が論理的故障として現れるか、電源電流の上昇をもたらすかを示している。Tr 1 に stuck-on 故障が起こると、故障の発生しているインバータは Tr 1 のオン状態におけるチャネル抵抗を負荷とするインバータになるため論理的には正常に動作する。Tr 2 に stuck-on 故障が起こると、Tr 1 のオン状態のチャネル抵抗より低い抵抗になるため縮退故障となる。これらは、Tr 1, Tr 2 のオン状態におけるチャネル抵抗に差があるため生じ、Tr 3, Tr 4 についても同様である。このとき、Tr 1 がオンの状態で電流経路が形成されるため異常な電流が流れる。Tr 5, または Tr 6 が短絡すると、1つのメモリセルでは影響はないが、常にメモリセルがビット線に接続されるためカップリング故障として現れると考えられる。

Tr 1 に stuck-open 故障が起こると、残りの3つのトランジスタでデータが保持され、論理的に正常動作し、電流経路も形成されない。しかし、図4に示すように、2つのインバータの駆動力に差が生じることから、メ

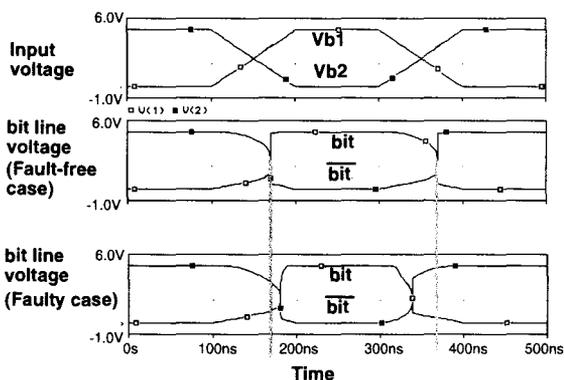


Fig. 4 Cell data in a transistor when a stuck-open fault occurs.

モリセルのデータ0の保持能力がデータ1の保持能力に対し優勢になる。したがって、Tr 1 の stuck-open 故障が活性化された状態（データ1）から活性化されない状態（データ0）へのデータ遷移が容易になる。Tr 3 についても同様であり、遷移の容易な方向は逆になる。これらの故障はタイミング的な故障となって現れると考えられる。次に、Tr 2 に stuck-open 故障が起きた場合は、故障を活性化するデータ0を書き込むことはできるが、電源 VDD から Tr 1 を通る漏れ電流が大きく、故障が起っていないインバータをすぐに反転させるため、1縮退故障となる。電流経路は形成されないため異常な電流は流れない。Tr 5, または Tr 6 に stuck-open 故障が発生すると、一方のビット線のみメモリセルに接続されるが、セルデータを遷移するすするためには不十分であり、縮退故障として現れる。そのときメモリセルに接続されたビット線に異常電流が流れる。

これらのトランジスタの故障が回路動作におよぼす影響は、nMOS, pMOS トランジスタの特性により、その現れ方が異なるものと考えられ、今後検討する必要がある。

4. メモリの電流テスト手法

4. 1 テスト手法の概要

単一メモリセルにおける故障の解析から次のような結果が得られた。

- (1) 故障の多くは論理的故障となり、電源電流に対しても影響を及ぼす。
- (2) 書き込み動作時において電源電流へ故障の影響が出る場合が多い。
- (3) 故障が発生していても論理的に正常に動作する場合があります、セルデータの保持能力に影響がでる。
- (4) 断線のような開放性の故障は電源電流に影響が出にくい。

以上を考慮したテスト手法について述べる。

本手法ではメモリのデコーダ回路に変更を加え、すべてのメモリセルを同時にアクセス可能にすることによって、メモリセルアレイを1つのメモリセルとして取り扱う。これは、(1)に示したように、通常の論理的故障のほとんどは電源電流の観測で検出できることから、テスト手続きを大幅に削減することができるからである。しかし、(2)のように、故障の多くはメモリの

書き込み動作時に異常な電源電流を流すため、センスアンプやビット線のプリチャージ電流と区別が困難になることが考えられる。そこで、本手法ではメモリセルアレイの電源を独立させ、外部からビット線の電圧を直接操作することによりこの問題を回避する。そして、(3)に示したような故障もビット線をアナログ的に操作することで検出する。そこでは、2つのビット線の電位を等レベル程度にし（以下、イコライズ）、データ保持能力の低下したメモリセルのデータを反転させ、正常なメモリセルとの間に電流経路を形成させることによって故障検出を行う。また、(4)から、断線故障は、それによる異常な電流経路を形成する場合が少くないことから、電流テストでは検出困難であり、これらは通常の論理的テストによるメモリ周辺回路のテストとともに検出する。

4.2 メモリの電流テスト手法

図5に本手法のシミュレーションで用いたメモリ回路の構成を示す。メモリは4×4bit構成で、複数のメモリセルを一度にアクセスするためデコーダ回路を変更し、また、ビット線を外部から直接アナログ的に操作可能な構成としている。メモリセルアレイの電源配線と、デコーダ等の周辺回路の電源配線は独立しているものとする。

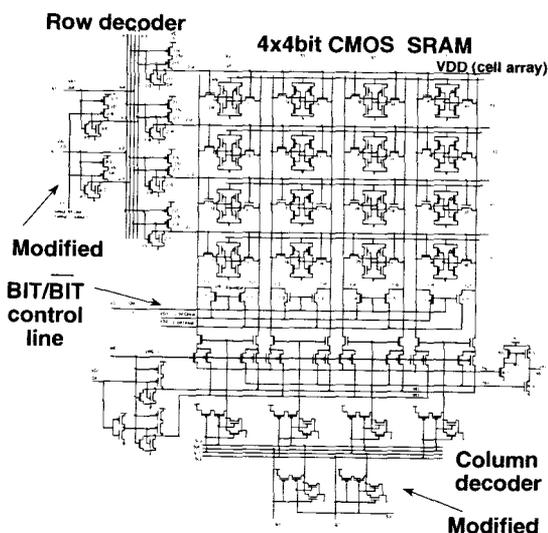


Fig. 5 CMOS SRAM structure for the simulation of proposed current testing.

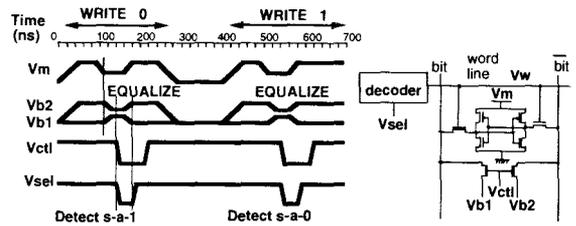


Fig. 6 Timing chart of proposed testing.

図6にテスト手続きのタイムチャートを示す。テストは基本的に全メモリセルに0を書きこんで1を書くという単純な操作であり、この操作に必要な手続きの長さはメモリ容量によらない。まず、すべてのメモリセルに対しデータを書き込むため、メモリセルアレイの電源電圧 V_m を徐々にあげながら、同時にビット線の電圧 V_b も印加していく。これは、少ない電流でメモリセルのデータを設定するためであり、CMOSの動作電源電圧の範囲が広いため可能である。メモリセルにデータが設定されれば、そこで縮退故障の検出ができる。次に、データの遷移に影響がでるような故障の検出を行うため、ビット線にイコライズの操作をする。その際、大きな電流がメモリセルに流れるため電源電圧を下げる。この操作によりデータ保持能力の低下したメモリセルのデータは反転し、正常なメモリセルとの間で電流経路を形成する。

以下に続く操作は、上記の操作のメモリセルに書き込む値を逆にしたものである。

4.3 シミュレーション

動作解析のため SPICE 3 を用いてシミュレーションを行った。本テスト手法を適用した場合のシミュレーション例を図7に示す。図7(a)は正常回路におけるメモリセルの出力電圧と、そのときのメモリセルの電源電流を示している。図7(b)はビット線間に短絡故障が起っている場合のメモリセルの電源電流を示しており、異常な電源電流が生じている。図8はメモリセルのpMOSトランジスタに stuck-open 故障が起った場合を示している。図8(a)から、メモリセルに1を書き込んだ後のイコライズによりメモリセル内のデータが反転しており、図8(b)はそのときのメモリセルの電源電流を示している。図8(b)において、データが反転しているセルに異常電流が流れている。

他の故障についても、前述の単一メモリセルにおけ

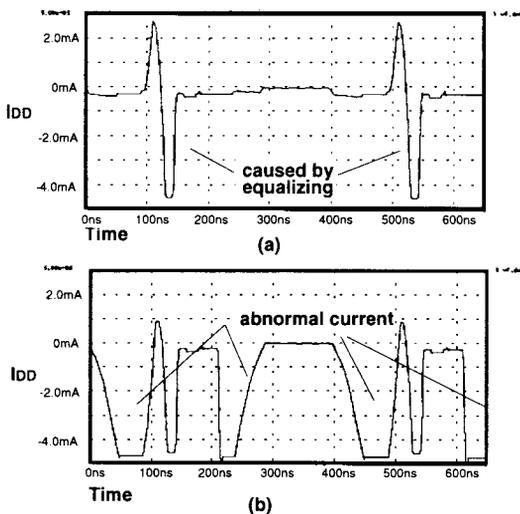


Fig. 7 Waveforms of SPICE 3 outputs. (a) Fault-free case, (b) Line short fault on bit lines.

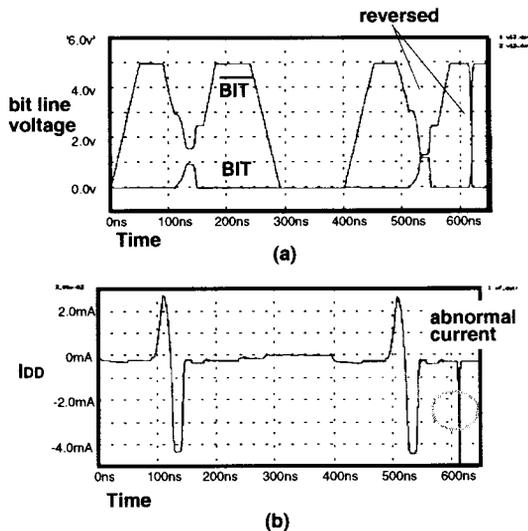


Fig. 8 Waveforms of SPICE 3 outputs. (a) Cell data, (b) Current of memory cell array.

る故障解析で異常な電流を伴うものは検出できることを確認している。

5. 周辺回路のテスト

本テスト手法では、特別な経路でメモリセルを操作

しているため、デコーダ、センスアンプ、I/Oバッファ、コントローラ等の周辺回路はテストされない。周辺回路は従来の論理的なテストによって行い、テストは、行列デコーダのテストのためにセルアレイの1行、1列に対して行うだけでよい。この際、デコーダから最も遠い行、列のメモリセルアレイをテストすることにより、メモリセルアレイのテストで検出しにくいワード線の断線による故障を検出することができる。また、同時に電源電流を観測すれば周辺回路の論理的な動作に影響しない故障を検出することができる。

6. むすび

テストコスト削減を目的としたメモリの電流テスト手法を示した。メモリセルに起る多くの故障が電源電流から検出可能であり、メモリセル全体を同時に操作することでメモリサイズによらない、非常に短いテスト手続きでテストできることをシミュレーションから示した。しかし、実際の回路では配線電流密度の制限などから一度に操作できるメモリセルの数は限られる。その場合、メモリセルアレイをいくつかのブロックに分割してテストするなどの手法が必要になると考えられる。これらは、メモリセルの構造や設計法に依存するため、今後、検討が必要であると考えられる。

文 献

- (1) J. M. Soden, R. R. Fritzenreier and C. F. Hawkins, "Zero Defects or Zero Stuck-At Faults-CMOS IC Process Improvement with Iddq", Proc. of ITC-90, pp.255-256 (1990).
- (2) T. Henry and T. Soo, "Burn-in Elimination of a High Volume Microprocessor", Proc. of ITC-96, pp.242-249 (1996).
- (3) A. Righter, J. Soden and R. Beegle, "High Resolution IDDQ Characterization and Testing. Practical Issues", Proc. of ITC-96, pp. 259-268 (1996).
- (4) P. Nigh and W. Maly, "Test Generation for Current Testing", IEEE Design & Test of Computers, Vol.7, No.2, pp.26-38 (Feb.1990).
- (5) R. Fritzenreier, J. Soden, R. Treece and C. Hawkins, "Increased CMOS IC Stuck-At Fault Coverage with Reduced Iddq Test Sets", Proc.

- of ITC-90, pp.427-435 (1990).
- (6) J. van Sas, U. Swerts and M. Darquennes, "Towards an Effective IDDQ Test Vector Selection and Application Methodology", Proc. of ITC-96, pp.491-500 (1996).
- (7) J. A. Segura, V. H. Champac, R. Rodriguez, A. Rubio and J. Figueras, "On Current Testing of Gate Oxide Short Failure in Static Memory Cell", Proc. of European Conf. on Solid State Circuits, pp.143-148(1990).
- (8) R. Meershoek, B. Verhest, R. McInerney and L. Thijissen, "Functional and IDDQ Testing on a Static RAM", Proc. of ITC90, pp.929-937 (1990).
- (9) J. P. Shen, W. Maly and F. J. Ferguson, "Inductive Fault Analysis of MOS Integrated Circuits", IEEE Design & Test of Computers, Vol.2, No.6, pp.13-26 (Dec.1985).